

【社内整理番号】 2022-141
【企業名】 サンケン電気株式会社
【住所】 埼玉県新座市北野三丁目 6 番 3 号
【発明者】 川原 大輔、黒田 祐介
【発明の名称】 半導体装置



【技術の詳細】

1. 類似する先行特許

【先行技術 1】：特開 2012-109419 号

2. 先行特許の構造・構成、製法、回路動作などの説明

半導体装置のチップ電極とワイヤボンディングにおいて、一般的にチップ電極はアルミ (Al) 材質、ワイヤ材質は金 (Au) が用いられる。近年はコスト要求から安価な銅 (Cu) ワイヤを用いるようになってきている。しかし、Cu ワイヤボンディングでは Cu ワイヤが Au ワイヤと比べ硬度が高く、ボンディング性が悪いため、不着不良や電極ダメージが発生する。そこで先行特許では、Al 電極の Cu ワイヤ接続領域下層に層間膜を形成させ、アルミ剥がれやアルミスプラッシュ対策をしている技術が開示されている。(図 1 参照)

3. 先行技術の問題点

先行特許の構造では、Cu ワイヤに対応したチップの電極構造を新規に設計・製造する手間やコストがかかる問題がある。

4. 今回の発明の構造

(1) 先行技術との相違点 (構造・構成の違い)

本発明の半導体装置は、Al 電極チップに Cu ワイヤボンディングする構造において、Al 電極の沈み込み量を浅く、Cu ワイヤの潰れ幅を大きく、潰れ厚さを薄く形成している。

また、製法は、ワイヤ超音波印加前に大きな荷重をかけ、超音波印加と同時に小さな荷重をかける。

(2) メカニズム

半導体装置は、チップの Al 電極と Cu ワイヤをボンディングする構造において、ワイヤに超音波を印加する前に大きな荷重をかけることにより、Cu ワイヤの大きな潰れ形状 (潰れ幅を大きく、潰れ厚さを薄く) を形成、合金層 (接合面積) を広く

することができる。この時、超音波を印加していないので、電極のアルミ部へワイヤの沈み込み量を浅くすることができる。

その後超音波印加と小さな荷重を加えるので、超音波が広範囲に分散し電極の削りすぎを防ぐことができる。この時、電極にアルミ厚残りを確保することができる。

これにより、合金層が広がるので、接合強度の向上に繋がり、Al 電極剥がれを防止した Cu ワイヤボンディングが可能になる。また、アルミ電極のチップなので、Cu ワイヤでボンディングと Au ワイヤボンディングのどちらでも選択することができる。

(3) 発明の具体例（最適実施例）

図 2 は、本発明の構造であり、チップに超音波ワイヤボンディングしている拡大断面を説明する図である。図 3 は 一般的ワイヤボンディング動作フローチャートであり、図 4 は本発明のワイヤボンディング動作フローチャートである。

チップは例えば、IC チップでボンディングする電極の上面は一般的なアルミ電極（厚さ 200μ ）で、ワイヤは一般的な銅ワイヤである。まず、左図はタッチダウン状態、すなわち、ワイヤボールをチップ電極へ押しつけた状態である。ここでは、超音波を印加せず、荷重のみを印加し、ワイヤをボール形状から、潰れ形状にしている。この時、潰れ形状は、超音波が印加されていないので、幅方向に大きく（広く）なり、断面方向に薄くなっている。さらに、電極のアルミ厚が十分に厚く残っている。右図は潰れ形状が大きく薄くなった状態で超音波を印加して、接合している状態である。

通常は図 3 に示すように、荷重と同時に超音波を印加している。キャピラリ荷重を 40gf と設定し、キャピラリの先端にあるボールを移動 (5msec) した後、 40gf 荷重と超音波 400 レベルを 10msec 印加している。これにより 200μ のアルミ電極厚がアルミスプラッシュにより、アルミ電極が無く（極薄）なる。アルミ電極が無くなることにより、荷重の応力が電極下部のチップ基板ダメージに繋がることもある。

そこで、図 4 に示すように、まず、荷重（大）のみ加えた後、抜重し荷重（小）と同時に超音波を印加していることに特徴を有する。キャピラリ荷重を 170gf と設定し、キャピラリの先端にあるボールを移動 (5msec) した後、 170gf 荷重のみ 10msec 加えている。この時、荷重が大きいので、ボールが大きく潰れることになる。また、超音波が印加されていないので、アルミ電極が深く潰れることが無い。その後、設定荷重を 170gf から 40gf へと抜重 (5msec) し、 40gf 荷重と超音波 400 レベルを 10msec 印加している。これにより、超音波接合の条件が通常と変わらないが、ボールの潰れ面積が大きくなっているため、超音波接合面積も大きくなり、接合強度を増すことができる。また、 200μ のアルミ電極厚が 80μ 残るように確保できる。

(4) 他の実施例 (変形例)

電極材質のアルミやワイヤ材質の銅は、一般的の使用されているものであれば、それぞれの合金であってもよく、その効果は同一である。

半導体装置のワイヤボンディング構造について説明したが、半導体装置はひとつのチップが搭載されたものに限らず、複数のチップや電子部品が搭載された半導体モジュールであってもよく、その効果は同一である。

(5) 図面

図1：先行特許の構造 (6：アルミ電極、10：Cu ワイヤ、13：層間膜)

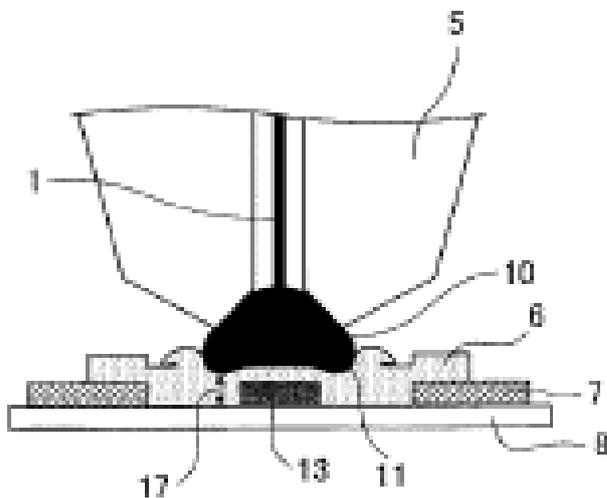


図2：本発明の構造



図3：一般的なフローチャート

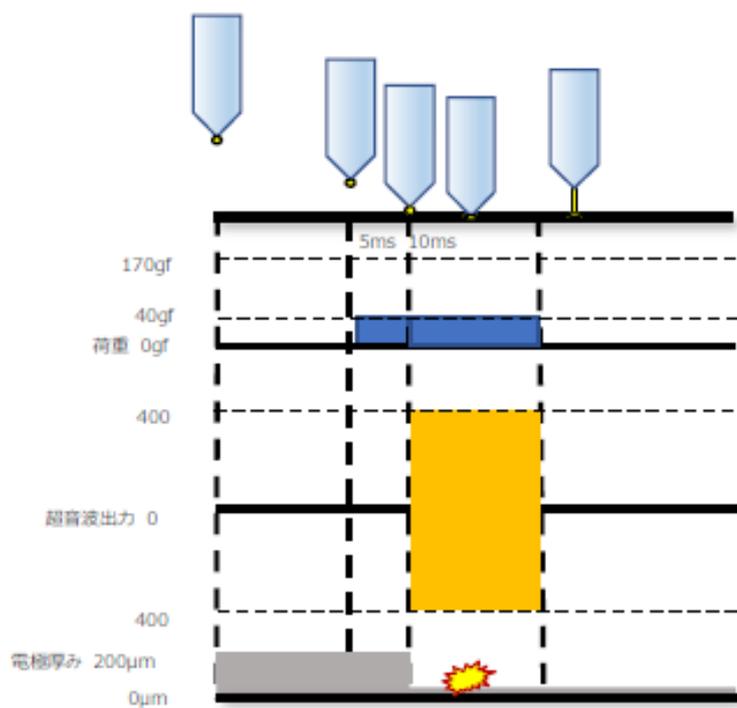
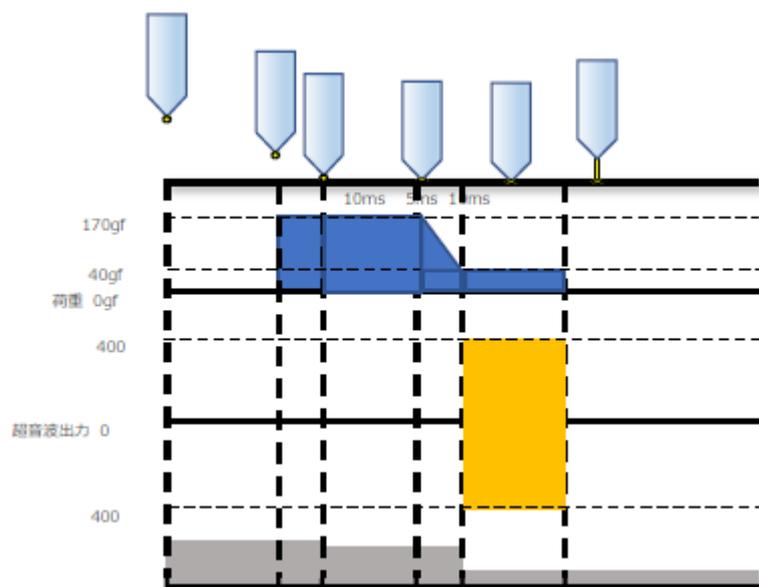


図4：本発明のフローチャート



以上。

【社内整理番号】 2022-138

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

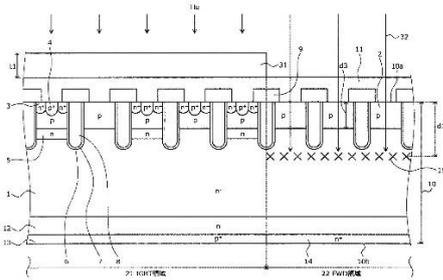
【発明者】 佐藤 憲、小川 嘉寿子

【発明の名称】 半導体装置

【技術の詳細】

1. 類似する先行特許

特許6766885の下記代表図に記載のように、多くのRC-IGBTと呼ばれるIGBTとFWDを同一素子上に形成したデバイスが実現しており、RC-IGBTにおいてリカバリ特性を改善する目的でFWD部にのみ軽イオン照射による欠陥層を形成する部分ライフタイム制御 (PLC) 技術が用いられている。



特許6766885の代表図

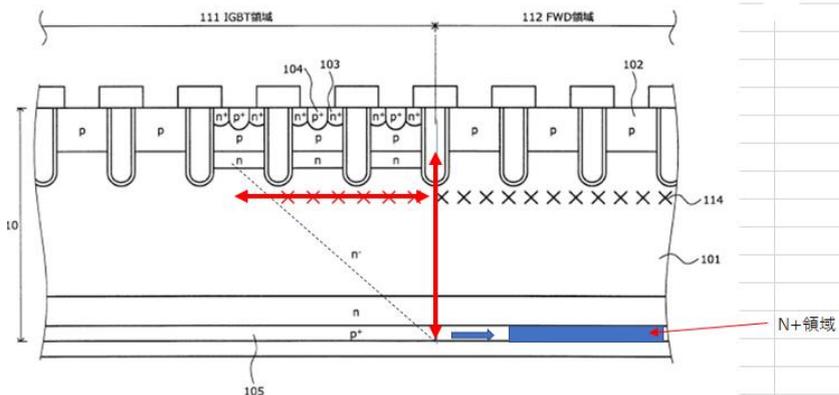
2. 先行技術の問題点

この構造では、逆方向動作時 (Diの順方向) には、高抵抗部をメインの経路として電流が流れることになる、そのため電流はより抵抗の低いIGBT領域に広がって流れる。そのためSW動作時に、欠陥のないIGBT領域に広がったキャリアは、欠陥による再結合がないためライフタイムが長くなり、それによりSW特性の劣化を引き起こす。

4. 今回の発明の構造

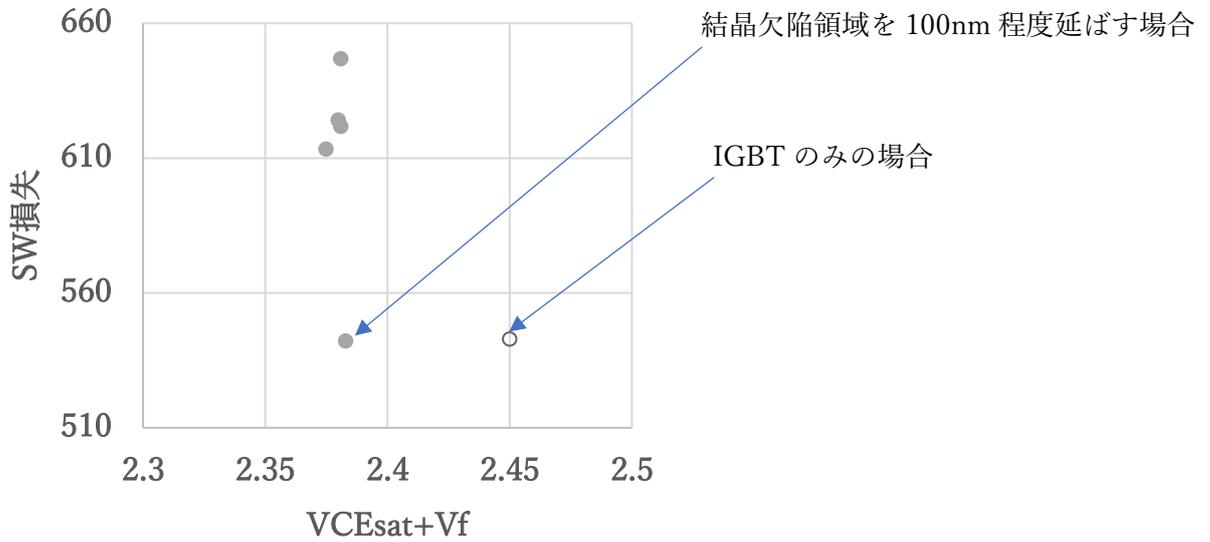
FWD 部 112 の裏面 N+領域 (青べた塗) を FWD 部のアノード領域 102 の設けられている箇所よりも矢印のように小さく (狭く) して、その分、IGBT 部 111 のコレクタ領域 105 を FWD 部 112 内へと延ばす。

さらに、FWD 部 112 に設けている結晶欠陥層 114 を FWD 部 112 のアノード領域 102 の外側へと延ばす(FWD 部 112 との境界より IGBT 部 111 側にも結晶欠陥層 114 を設ける)。これらにより IGBT 部 111 側へ電流が拡がることを抑制し、SW 特性を改善することができる。



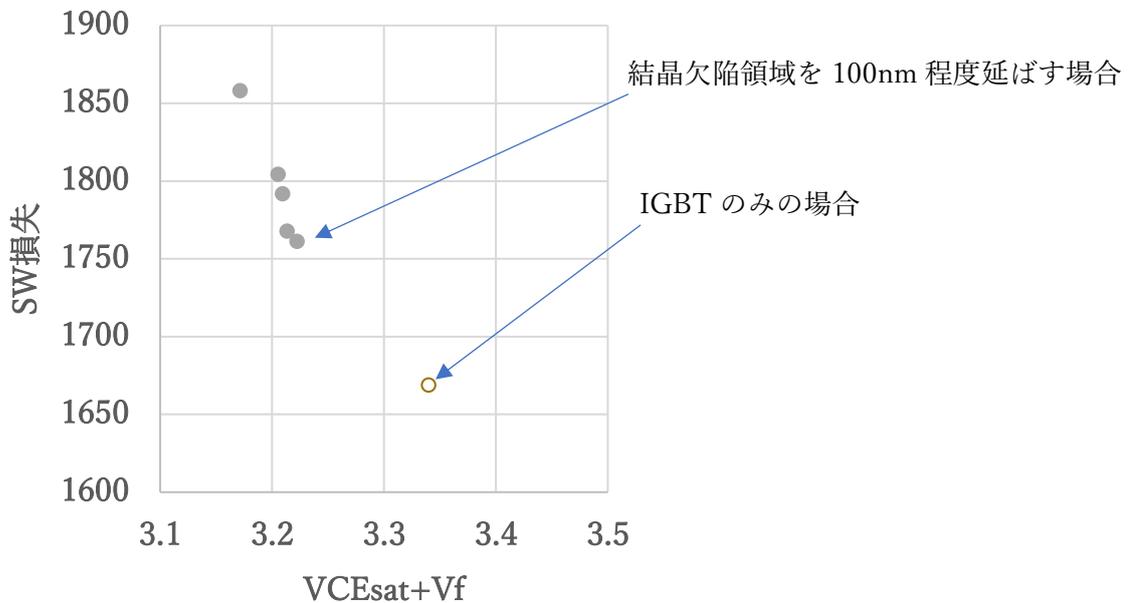
発明の半導体装置の断面図

5A 品のシミュレーション結果を示す。結晶欠陥領域を 100nm 程度延ばすと、IGBT のみの場合と同レベルになっていることがわかる。



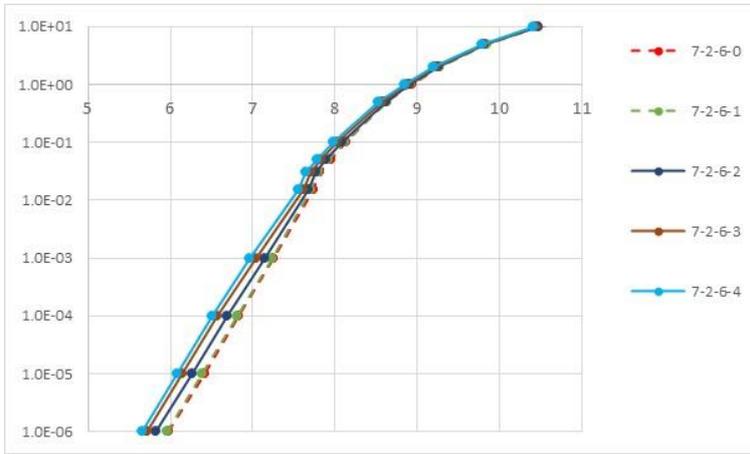
5A 品のシミュレーション結果

15A のシミュレーション結果を示す。結晶欠陥領域を 100nm 程度延ばしても SW 損失は IGBT のみの場合ほど下がりきらない。電流が大きくなった分だけ FRD 部の外側にホールが広がって流れており、15A 品で SW 同等にしようとするともっと広げる必要がある。



15A 品のシミュレーション結果

結晶欠陥領域の延ばす長さを変えたシミュレーション結果である。結晶欠陥領域を設けられた IGBT 領域の部分の閾値が下がり、チャンネルの開き始めが早くなるので、閾値は IGBT 領域に結晶欠陥領域を設けるほど、低圧部分で差が出るということがわかる。



結晶欠陥領域の延ばす長さを変えたシミュレーション結果

発明説明書

【社内整理番号】 2022-086

【企業名】 サンケン電気株式会社

【発明者】 前川 祐也、内藤 裕也

【発明の名称】 製品機能端子を活用した OCP キャンセルモード回路

【技術の詳細】

1. 先行特許の構造・構成、製法、回路動作などの説明

過電流保機能、メイン素子のドライブ回路が内蔵されている三相出力可能な IPM(Intelligent Power Module、以下 IPM)において各相(ハイサイドとローサイドで構成されている)が図 1 に示すように、1 チップの 3 チップ構成でモジュール化されているものがある。この場合、過電流検出は 3 相のうち 2 相で過電流保護(図 1 中の OCP)を行っている場合が多い。残り 1 相は、過電流検出を実施せず、他相にない温度検出(図 1 中 Thermal Monitor)などを実施している。

2. 先行技術の問題点

IPM の主変換デバイスである IGBT の C/D の一環で FS-IGBT に変更する場合がある。FS-IGBT は従来品に比して一般に短絡耐量が低く、2 相のみでなく 3 相すべてに過電流保護機能が必要になることが多い。その際、パッケージ(PKG)の端子数の制約上、図 2 に示すような OCP 機能のセンシング端子を 3 相分設けることができない。そこで残り 1 相分は図 3 に示すような過電流検出を内部パワー素子のエミッタ(ソース)のワイヤーの電圧降下分で検出する手法を考案した。しかしながら、この手法を用いると製品検査の項目の中の短絡検査やインダクタンス(L)負荷検査などの大電流印加を伴う検査においては、上記内部パワー素子のエミッタ(ソース)のワイヤーは取り外すことができないので過電流を検出し保護動作に入り検査できない場合が生じた。

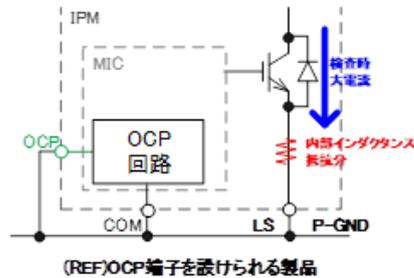
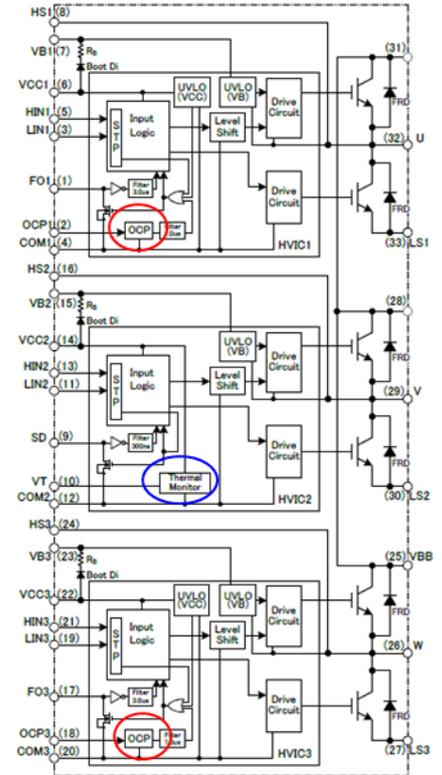


図 2. OCP 端子による電流検出

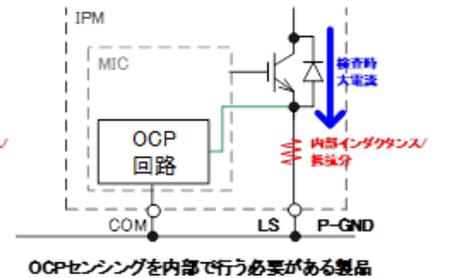


図 3. 内部ワイヤーによる電流検出

3. 今回の発明の構造

(1) 先行技術との相違点 (構造・構成の違い)

IPM の内部処理機能である電源電圧低下保護機能(UVLO : Undervoltage Lockout、以下 UVLO と表記)が動作時に、インバータのハイサイド側制御信号 HIN とローサイド側制御信号 LIN に同時 ON 入力での過電流検出機能をキャンセルする機能を IPM 内に盛り込んだ。この機能は新たに端子を設けず可能としている。

(2) メカニズム

UVLO と HIN と LHI を同時 ON させたときに過電流検出機能をキャンセルさせることにより、過電流試験並びに L 負荷試験などを実施し、大電流が流れても過電流保護機能により IPM の動作を停止することなく製品検査を実現できるようにした。

また、この新機能は以下の理由で通常動作では問題が発生しない。

- ・ UVLO 保護機能発動状態 … 実用動作時に発生しない状態/起こったとしても UVLO 保護が働く
- ・ HIN と LIN が同時 ON 状態 … 実用動作時に発生しない状態/発生したとしても同時 ON 防止機能が働く

の2つを合わせた時とすることで、意図的に設定しないとキャンセル状態にならない（実用時に邪魔することが無い）、万が一起こったとしても二重の保護が効いて安全な組み合わせという風に工夫している。

(3) 発明の具体例（最適実施例）

図4に本機能を実現する回路構成例を示す。また、図5のそのタイムチャートを示す。

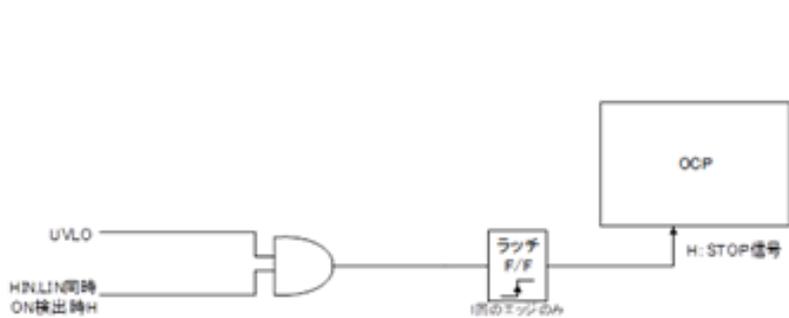


図4. 回路構成例

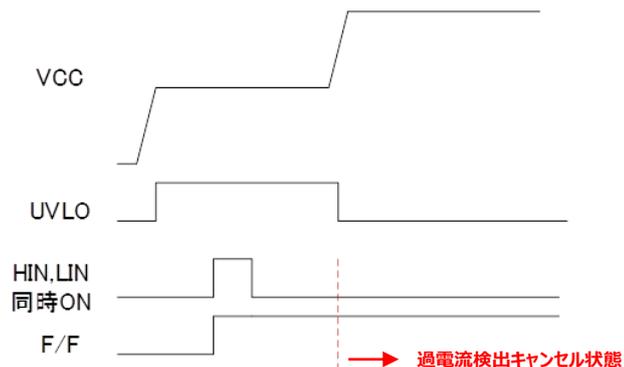


図5. タイムチャート

以上

発明説明書

【社内整理番号】 2022-097

【企業名】 サンケン電気株式会社

【発明者】 長谷川 和輝

【発明の名称】 半導体集積回路の密度基準を満たすレイアウト方法

【技術の詳細】

1. 先行特許の構造・構成、製法、回路動作などの説明

半導体集積回路の設計ルールの一つに密度基準がある。密度とは、所定の面積の区画内に占める回路パターン面積の面積占有率である。密度基準は、ポリシリコン・拡散層・配線層などの各レイヤーごとに、上限値と下限値が定められる。ポリシリコンや拡散層の密度基準は、製造時の CD(Critical Dimension)均一性のために定められ、線幅のばらつきに影響する。銅などメタル配線の密度基準は、硬さを均一にして、製造時の CMP (Chemical Mechanical Polishing : 化学機械研磨) 工程において平坦に研磨するために定められる。

密度基準エラーは、DRC(Design Rule Check)ツールによって自動で検証できるが、回路パターンのレイアウト設計完了後に実施するため、エラーが判明すると手戻りが発生する。特に、回路構造を階層化して、設計済みの回路ブロックを上位階層に組み込む場合、回路ブロックの検証ではエラーが発生しなくても、上位階層の検証でエラーが発生することがあって、大きな手戻りとなる (図 1)。DRC においては、まず、所定の大きさ (例えば 20um x 20um) の区画を回路パターンの原点に配置し、区画内で基準を満たすか確認する。続いて、回路パターンのある領域内で、区画を所定の Step (例えば 10um) で順次移動させていき、全ての区画で基準を満たすか確認する。回路ブロック検証時と上位階層検証時では、原点が異なるため、回路ブロック検証時にエラーが出なくても、上位階層でエラーが発生することがある。

回路として使用するパターンだけでは、密度が低すぎることもあるので、レイアウト設計実施後、空き領域にダミーパターンを挿入する。ダミーパターンは、ダミー生成ツールによって自動挿入できる。しかし、ダミー挿入を実施してもなお密度基準を満たせず、手戻りが発生することがある。この手戻りを削減して効率化を図る公知例として、例えば「特許第 6798318 号」がある。

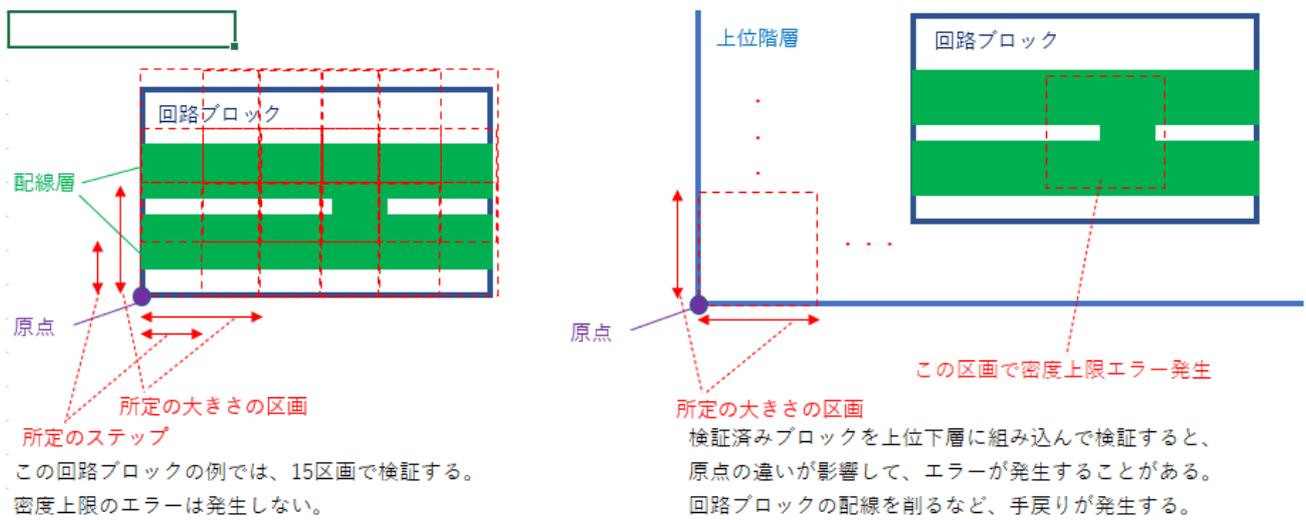


図 1. 回路ブロック検証でエラーが発生しなくても、上位階層に組み込んで検証するとエラーが発生する例

2. 先行技術の問題点

ダミー生成ツールを工夫しても、密度基準エラーが発生し、手戻りが発生する課題がある。回路として使用するパターンだけで密度基準の上限を超える場合は、回路パターンを削ったりずらしたりしないと解

消できない。また、ダミー挿入できない大きな領域（例えば、ポリ抵抗に重ねて拡散層ダミーを挿入することができない）が存在すると、ダミー挿入しても、密度基準下限を満たせないことがある。このようなエラーが発生したら、レイアウトパターンをずらしたり、回路ブロックの面積を大きくしたりするので、大きな手戻りとなる。

3. 今回の発明の構造

(1) 先行技術との相違点（構造・構成の違い）

先行技術との相違点を下記に列記する。

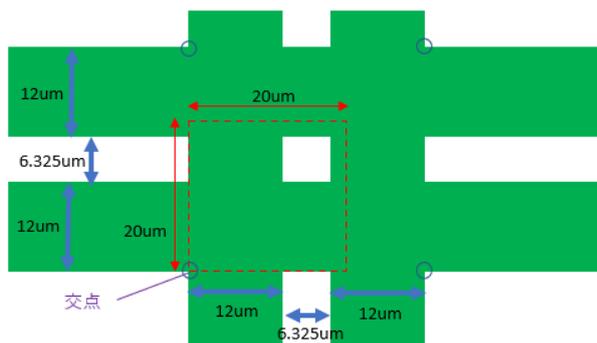
- ・ダミー生成では対処できない密度基準エラーを検出できる
- ・設計後ではなく、設計前および設計中に検出して手戻りを防止できる

(2) メカニズム及び実施例

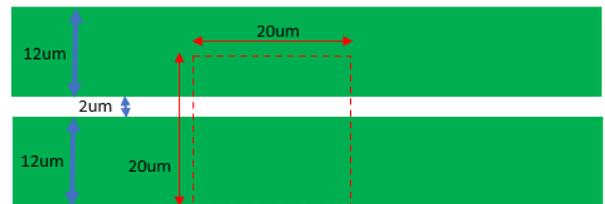
下記①、②は設計前や設計中の検討方法、③、④は設計支援ツールをあらわす。

① 密度基準上限が定められたレイヤーによる回路パターンの頂点または交点を原点とする所定の大きさの区画を定め、または、回路パターンの一边と区画の一片を重ねて、その区画内で密度基準上限を超えない、隣接する回路パターンの最小間隔を定める方法(図 2)。

所定の区画：20um x 20um、密度基準：90%以下、最小グリッド：0.005um の場合



幅12umのメタル配線を、格子状に配線する場合。
図のように、交点と区画の頂点を一致させれば、最大密度を求められる。
 $\sqrt{(20\text{um} \times 20\text{um} \times 0.1)} = 6.325\text{um}$ が、密度基準を満たす最小間隔。
密度が最も厳しくなる区画の取り方をしているので、検証時の原点が変わっても、エラーは発生しない。



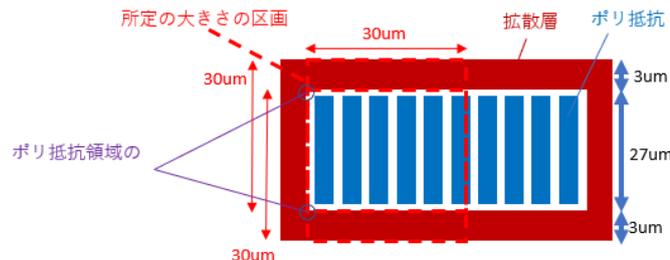
幅12umの配線を一方方向に伸ばす場合。
配線と区画の辺が一致させれば、最大密度を得られる。
 $20\text{um} \times 0.1 = 2\text{um}$ が、密度基準を満たす、最小間隔。

図 2. 設計ルールから、密度基準上限を満たす最小間隔を求める方法

② 密度基準下限が定められたレイヤーを配置できない領域の頂点を原点とする所定の大きさの区画を定め、または領域の一片と区画の一片を重ねて、その区画内で密度基準下限を下回らないように、領域の幅または高さを定める方法 (図 3)。

拡散層の密度基準に関して、所定の区画：30um x 30um、密度基準：10%以上とする。

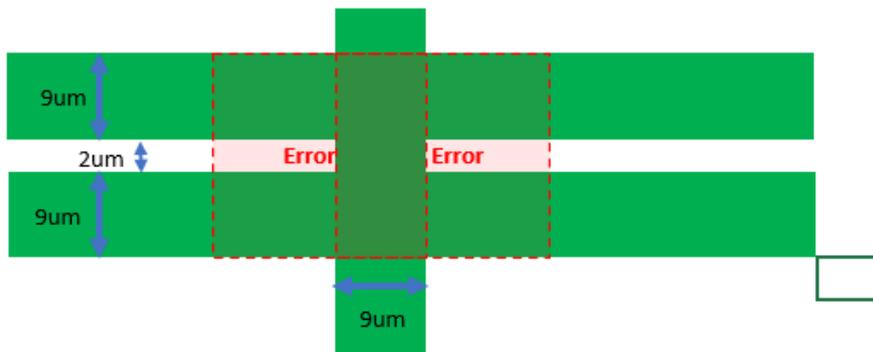
ポリ抵抗と拡散層を重ねることはできない。また、ポリ抵抗と拡散層の間は、間隔を空ける必要がある。



所定の大きさ (30um x 30um) の区画の頂点または一辺が、ポリ抵抗を配置する領域 (図の青色のポリ抵抗本体と、その周囲の、図2. B88:J110 頂点または一辺に一致させれば、拡散層の最低密度が得られる。
ポリ抵抗領域は90%以内でなければならないので、高さを27um以内としなければならないことが分かる。
さらに、3um以上の幅の拡散層を上下に挿入することで、密度基準を満たすことが分かる。
拡散層の密度が最も小さくなる区画の取り方で考えているので、上位階層での検証時に区画の原点がどこになっても、密度基準を満たすことができる。

図 3. 設計ルールから、密度基準下限を満たす方法を求める方法

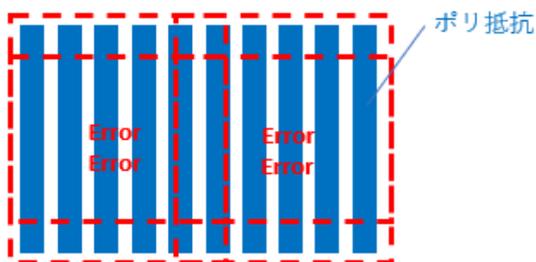
③ レイアウト設計において、密度基準上限が定められたパターンを配置配線したときに、その回路パターンの頂点、交点、または一片に合わせた所定の大きさの区画を自動で定め、その区画内において密度基準を計算し、エラーの発生を表示する、設計支援ツール（図4）。



密度基準エラーの出方の例。
 横2本の配線があり、そこに縦配線を追加したとする。
 追加すると、画面にエラー表示が出る。
 上限90%に対して、この例では、
 $(9\mu\text{m} \times 20\mu\text{m} + 2\mu\text{m} \times 9\mu\text{m} + 9\mu\text{m} \times 20\mu\text{m}) / (20\mu\text{m} \times 20\mu\text{m}) = 94.5\%$
 である。

図4. 密度基準上限エラー表示の例

④レイアウト設計において、密度基準下限が定められたパターンを配置できない領域を検出して、その領域の頂点または一片に合わせた所定の大きさの区画を自動で定め、その区画におけるエラーの発生を表示する、設計支援ツール（図5）。



ポリ抵抗に拡散層を重ねることができないので、この領域の拡散層の密度は0%となる。
 拡散層の密度基準下限10%に対してエラーを表示する。
 このような領域が存在したら、画面上にエラー表示する。

図5. 密度基準下限エラー表示の例

以上

発明説明書

【社内整理番号】 2022-104

【企業名】 サンケン電気株式会社

【発明者】 長谷川 和輝

【発明の名称】 温度依存性をトリミングする方法

【技術の詳細】

1. 先行特許の構造・構成、製法、回路動作などの説明

CR 発振回路の発振周波数をトリミングする (CR 発振回路に限らず、基準電圧発生回路の出力電圧などにも適用できる) 場合、容量素子・抵抗素子を複数使用する周波数トリミング回路がある (特開昭 63-116505、特開 2001-285056、特開 2006-229630、特開 2011-199481)。また、温度特性の異なる抵抗素子を組み合わせることで温度依存性を調整する回路もある (特開平 05-256601、特許 5472384)。周波数をトリミングする際にその温度依存性を考慮するために、複数の温度における測定結果を記録して調整する方法がある (特許 3768475)。

2. 先行技術の問題点

先行技術の特許 3768475 に基づいて、考えた場合、①周波数トリミングコードは適当な値に固定して、第 1、第 2 の温度で試験して、温度勾配が平坦になる温度勾配トリミングコードを決定する。②引き続き、第 2 の温度において周波数トリミングコードを調整するという手順になる。しかし、この手順では、温度勾配トリミングコードの設定値が同じであっても、周波数トリミングコードを変更すると温度勾配が変化する可能性があり、最終的に選択したトリミングコードの組合せでは、第 1 の温度で周波数の規格を満たさない恐れがある。

3. 今回の発明の構造

(1) 先行技術との相違点 (構造・構成の違い)

図 1、2 にトリミング回路である容量素子を並列接続した「周波数トリミング回路」と、図 3 のような温度勾配が正および負の抵抗素子を直並列に接続した「周波数の温度勾配のトリミング回路」のトリミングコードと周波数の関係の例を示す。

図 1 は周波数トリミングコードと周波数の関係を示したものである。この図は温度勾配トリミングコードを特定値に固定した場合である。

図 2 は温度勾配トリミングをパラメータとしたときの温度と周波数の関係を示した図である。

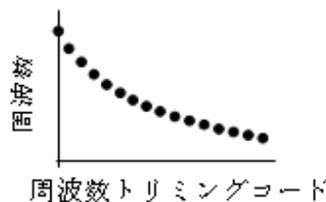


図 1. 周波数トリミングコードと周波数の関係

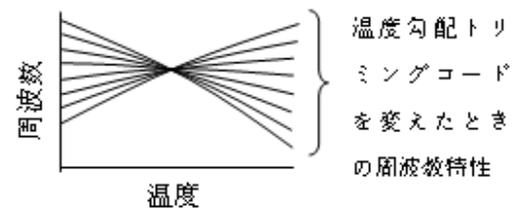


図 2. 温度と周波数の関係数の関係

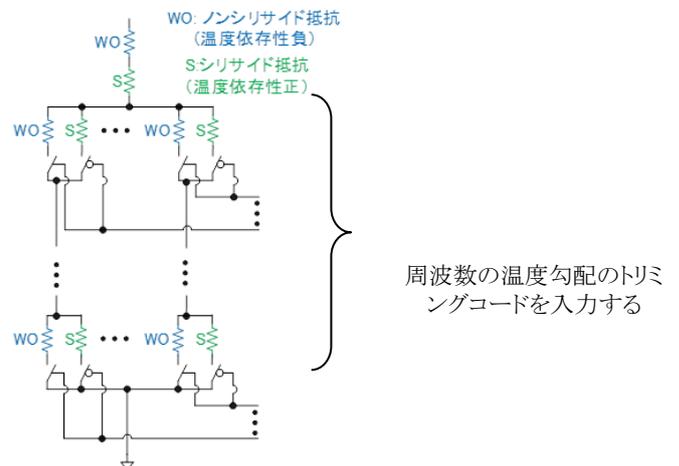


図 3. 周波数の温度勾配のトリミング回路の例

周波数トリミングおよび温度勾配トリミングの両方を実施する場合、先行技術特許 3768475 では、温度勾配をトリミングしていないのに対して、温度勾配までトリミングすることが本発明の特徴である。

これは、温度勾配トリミングコードを調整して、温度が変化しても周波数になるべく一定になるようにトリミングするものである。

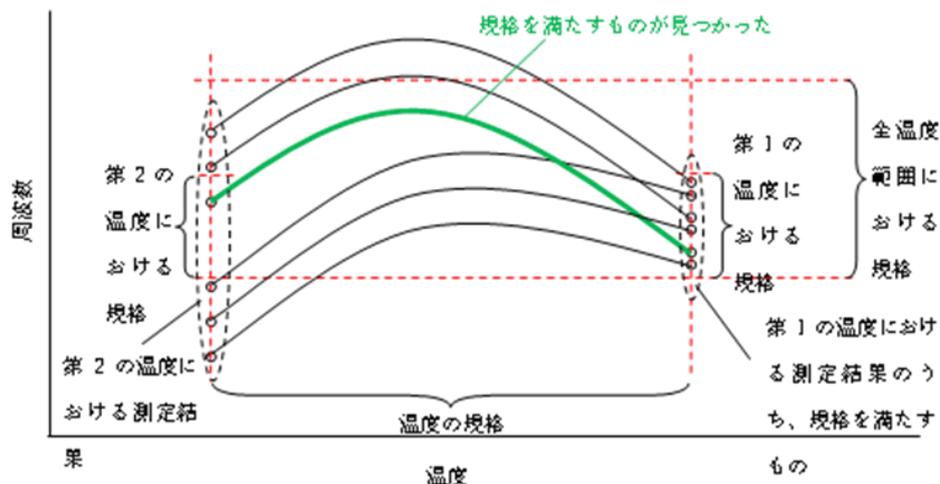
これを実現するために、図4に示すように第1の温度条件において、周波数の規格を満たすトリミングコードを候補として複数探索し、第2の温度条件において絞り込む。

周波数トリミングコードおよび温度勾配トリミングコードの両方を調整する手法である。温度を上げ下げするコストが大きいので、第1、第2の温度条件を行き来する手順は望ましくない。そこで、本発明では、第1、第2の温度条件の試験がそれぞれ1回のみでありながら、2種類のトリミングコードを調整することができるのが特徴である。

(2) メカニズム及び実施例

トリミングコードが二種類あり、二次元のトリミングコードの中から選定を行わなければならない。また、温度勾配は、複数の温度条件で試験してみなければ分からない。しかし、温度を上げ下げするには大きなコストを要し、第1の温度と第2の温度を行き来する手順は望ましくない。そこで、本発明では、第1の温度と第2の温度それぞれ1回ずつの試験で済む手順としている。本発明における手順では、最終的に選択した「周波数トリミングコードと温度勾配トリミングコード」の設定値の組合せは、第1の温度、第2の温度の両方で周波数を試験されている、ということも重要な点である。本発明の手順を以下に示す。

- 1) 全温度範囲における周波数の規格を満たすために、第1の温度における周波数の規格、第2の温度における周波数の規格を定める。周波数の温度依存性は、直線にはなるとは限らず、例えば上に凸のお椀型曲線になることがある。曲線のおおまかな形状は既知として、全温度範囲で周波数の規格を満たせるよう、第1の温度、第2の温度の周波数規格を定める。
- 2) 第1の温度において周波数測定を実施し、この温度における周波数の規格を満たすトリミングコードの組合せを複数探索して、これらを候補とする。トリミングコード値の候補と周波数測定結果は、不揮発性記憶手段に記録する。例えば、温度勾配トリミングコード=0に固定した設定において、この温度における周波数の規格の中心値に最も近くなる周波数トリミングコードを二分探索する。規格中心値に最も近いものだけでなく、近傍のコードでも試験を行うのは、候補を増やして歩留まりを向上するためである。次に、温度勾配トリミングコードの設定を変えて、同様に、規格を満たす周波数トリミングコードを探索する。
- 3) 第2の温度において、周波数測定を実行し、前記の複数の候補の中から、規格を満たすコードをみつける。満たすコードが複数見つかった場合、第1の温度および第2の温度の測定結果から、規格の中心に最も近いものを選定してもよいし、複数の候補を残して第3の温度の測定結果を踏まえて決



第1の温度は温度の規格の上限、第2の温度は温度の規格の下限としたが、他の温度条件でもよい。

図4. トリミング手順の図式による例

定してもよい。

- 4) 必須ではないが、規格を満たすことをより確実に保証するために、第3の温度において周波数が規格を満たすことを確認する。
- 5) 前記の手順は、「CR 発振回路の発振周波数」を「基準電圧発生回路の電圧」に置き換えても、同様に実施できる。

「CR 発振回路の発振周波数」と「基準電圧発生回路の電圧」を両方トリミングすることもできる。

「CR 発振回路の発振周波数」と「基準電圧発生回路の電圧」を両方トリミングする場合、

- ・集積回路が実際に動作する際は、CR 発振回路の電源は、集積回路内部の基準電圧発生回路が生成する。

- ・トリミングするときには、CR 発振回路の電源は外部のテスト装置から印可する。

ということがありえる。第1の温度と第2の温度を行き来する手順はコストの点を望ましくなく、第1の温度、第2の温度の試験は1回ずつのみ実施するため、第1の温度で試験する際には、基準電圧発生回路のトリミングコードが確定していないからである。「トリミング時に外部印可した電源電圧」と「集積回路内部で生成する電源電圧」は、基準電圧発生回路のトリミングによっておおむね一致するものの、誤差が生じることがある。この場合、必須ではないが、CR 発振回路の発振周波数には電源電圧依存性もあるので、基準電圧発生回路のトリミングコードが確定した段階で、それが生成する電源でCR 発振回路を動作させて、周波数トリミングコードを微調整する。前述のように「最終的に選択・決定されたトリミングコードの組合せにおいて、第1、第2の温度両方で試験されている」ことが必要な場合は、第1の温度で近傍のコードの試験をする際に、近傍の範囲を広めにとっておき、第1の温度にて試験済みの範囲内で微調整する。

(3) 更に高度化させた実施例

上記実施例において、温度変化をさせずにトリミングする手法を以下に示す。

温度依存性を有するのは主に抵抗素子であった。CR 発振回路の発振周波数は、主にCR 時定数によって定まる。CR のうちC (容量) は、MIM (Metal-Insulator-Metal) 容量やMOM (Metal-Oxide-Metal) 容量といった温度依存性の小さい素子がある。一方、R (抵抗) は、格子散乱や熱励起によって、温度依存性を有する。温度依存性の小さい抵抗素子もあるが、それを使用できない製造プロセスが多い。温度依存性の主要因が抵抗素子のみである場合、抵抗素子のトリミングをできれば、温度依存性をトリミングできる。2種類の抵抗素子を組み合わせたととき、プロセスばらつきによって、2種類の抵抗素子の抵抗値がそれぞればらつくことによって、温度依存性が生じていた。「ある温度において、2種類の抵抗素子の抵抗比がいくつのときに、最も温度依存性が小さくなる」ということが既知だとする。ある温度において、2種類の抵抗素子の抵抗比が所定の値になるようトリミングすることで、温度を変化させなくても、トリミングすることができる。

なお、抵抗素子の温度依存性が小さくなるように調整するとは限らず、温度勾配が正または負の特定の大きさになるように調整してもよい。例えば、発振周波数の温度依存性に影響する要因がほかにあり、その温度依存性が概ね既知であれば、それを打ち消す程度の大きさの温度勾配を抵抗素子が有するように調整してもよい。

まとめると、温度依存性が正の抵抗素子と負の抵抗素子を組み合わせることによって、合成抵抗の温度依存性を調整する回路において、2種類の抵抗素子のばらつきを、ある1温度において、抵抗比が所定値になるようトリミングする手法である。また、上記の2種類の抵抗素子の一方または両方の、並列数または直列数を変更することによってもトリミングは可能である。抵抗値の測定には四端子法で行うのが望ましい。

以下にトリミング部が直列の場合の実施例具体例を示す。

図5のようにシリサイドポリ抵抗の抵抗値を可変にする
 (ノンシリサイドポリ抵抗値)/(シリサイドポリ抵抗値)=k
 のときに温度依存性が最も平坦になることが、既知であるとする。スイッチを開放・短絡する個数をデフォルトの設定にして、直列接続した抵抗に電圧印加または電流を流す。このとき、ノンシリサイドポリ抵抗の両端電圧を V_w 、シリサイドポリ抵抗の両端電圧を V_s とすると、抵抗比は V_w/V_s なので、シリサイドポリ抵抗の抵抗値を、 $(V_w/V_s/k)$ 倍に調整(トリミング)すればよい。

シリサイドポリ抵抗は、抵抗値 R_s でスイッチにて短絡可能な抵抗が n 個直列に、さらに抵抗値 $a \times R_s$ の抵抗が直列に接続されているとする。電圧測定時、スイッチ n_0 個

($0 < n_0 < n$)個を開放、 $(n - n_0)$ 個を短絡とすると、電圧測定時のシリサイドポリ抵抗の合成抵抗は、 $(a + n_0) \times R_s$ となる。

R_s はサンプルによってばらつく。この抵抗値を $(V_w/V_s/k)$ 倍に調整する。

調整の結果、スイッチを m 個($0 \leq m \leq n$) 開放、 $(n - m)$ 個短絡するものとする。下記の x に最も近い整数 m ($0 \leq m \leq n$) がトリミング結果である。

$$(a+x) \times R_s = (a+n_0) \times R_s \times V_w/V_s/k$$

$$x = (a+n_0) \times V_w/V_s/k - a$$

例えば、 $a=11$ 、 $n=15$ (16段階のトリミングが可能)、 $n_0=5$ 、 $k=7.5$ とする。

プロセスばらつきによって、 V_w/V_s が 5.2~12.1 の範囲でばらつくことを想定する。

$V_w/V_s = 5.2$ の場合、 $x=0.09$ となり、トリミング結果 $m = 0$ と求まる。

$V_w/V_s = 7.5$ の場合、 $x=5$ となり、トリミング結果 $m = 5$ と求まる。

$V_w/V_s = 12.1$ の場合、 $x=14.81$ となり、トリミング結果 $m = 15$ と求まる。

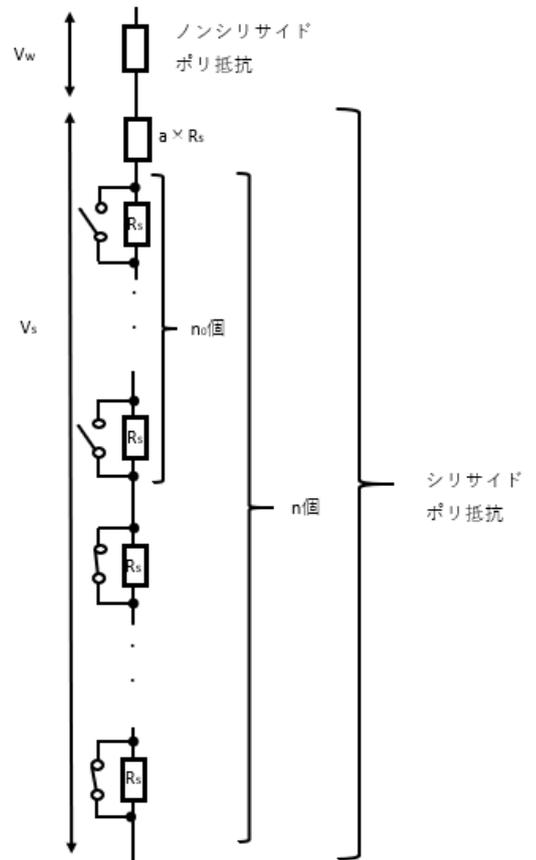


図5. トリミング部が直列の場合の実施例

発明説明書

【社内整理番号】 2022-119

【企業名】 サンケン電気株式会社

【発明者】 野崎 優

【発明の名称】 室外機用スタンバイ機能について

【技術の詳細】

1. 先行特許の構造・構成、製法、回路動作などの説明

エアコンの室内機ファン駆動用のモータ(BLDC,SPM など)をターゲットしたモータ制御 IC は、省エネ目的でスタンバイ機能が常に動作する仕様で製品化されているものが多い。

2. 先行技術の問題点

エアコンセットメーカーのから従来、室内機のファンモータ駆動のみで仕様化されていたモータ制御 IC に対し、室外機のファンモータ駆動にも使用できる可能な要望が出てきた。室外機ファン駆動では、停止時(フリーラン状態)に外風でファンモータが回転させられている場合がある。この場合、エアコン起動時にはファンモータの回転を検知し、速やかに指令回転数に制御しなければならない。しかしながら、従来の室内機ファンモータ制御 IC は、デフォルトではスタンバイ機能が働き停止状態では

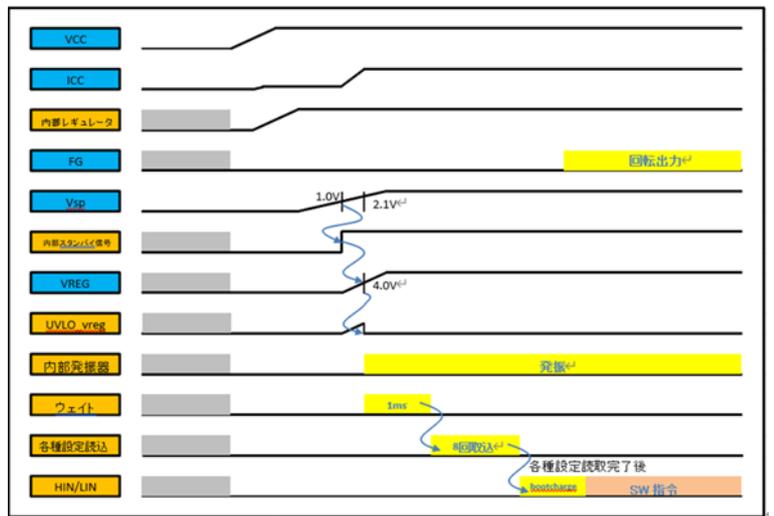


図 1. 室内機用モータ制御 IC のスタンバイ機能無効のタイムチャート

回転数が検知でききない仕様となっているものが多い。このような仕様のモータ制御 IC を室外

機ファンモータを制御するには、デフォルトのスタンバイ機能を無効にしなければならない。従来の室内機用モータ制御 IC においても無効にする機能を備えているが、図 1 に示すようなシーケンス動作を行わなければならない。エアコンセットメーカー側から簡単にスタンバイ機能を解除する方法を求められている。

また、同機能を実現するにあたって、モータ制御 IC のピン配置は同じにする要求もあり、ピン配置の変更や新たな機能ピンは追加できない課題もある。

3. 今回の発明の構造

(1) 先行技術との相違点 (構造・構成の違い)

モータ制御 IC の電源端子に電源が入った時に速度指令が停止モードであっても内部ロジックを駆動し、スタンバイ機能を解除できるようにする。従来のモータ IC の起動時の起動シーケンスと今回提案する起動シーケンスのフローを図 2 示す。

図 2 のフローにおいて、モータ制御 IC に電源(VCC)が入ると従来の起動シーケンスは、スタンバイ機能の有効、無効の信号を要求するシーケンスであった。それを図 2 の①の部分を追加し速度指令(VSP)が停止信号であった場合にはスタンバイ機能を解除するようにした。

(2) メカニズと実施例

例えば図3に示すようなモータ制御ICにおいてモータの位置検出を行うホール素子への電源端子(VREG)とVCCの間には図4に示すような抵抗を追加することで実現できる。この場合、VCC電源を印加するとVREG端子も動作して、製品内部のロジックが起動する。ロジックが起動した時にVSP端子が停止状態を読み取り、スタンバイ機能を無効にする信号を内部で生成する。これにより、VSP端子が停止信号入力時にスタンバイ機能を無効にすることができるようになる。ロジックの実現にはFPGA

(field-programmable gate array)を用いてもよいしマイコンを使いソフトウェアで実現してもよい。

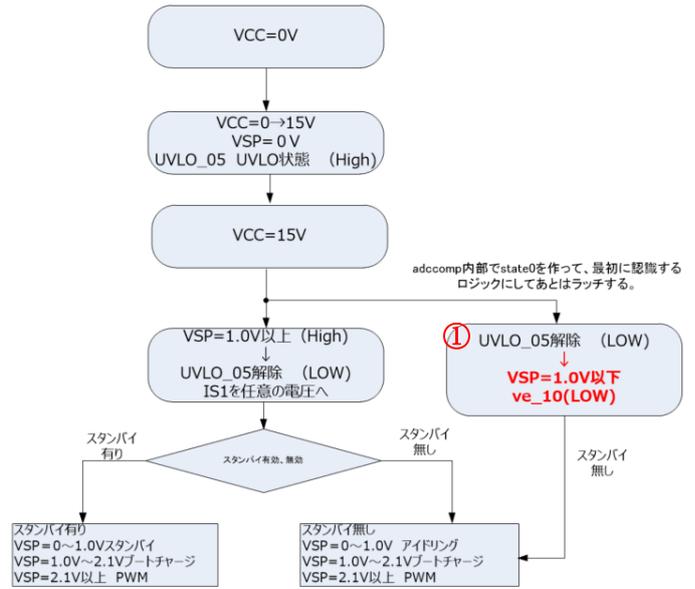


図2. 起動シーケンス

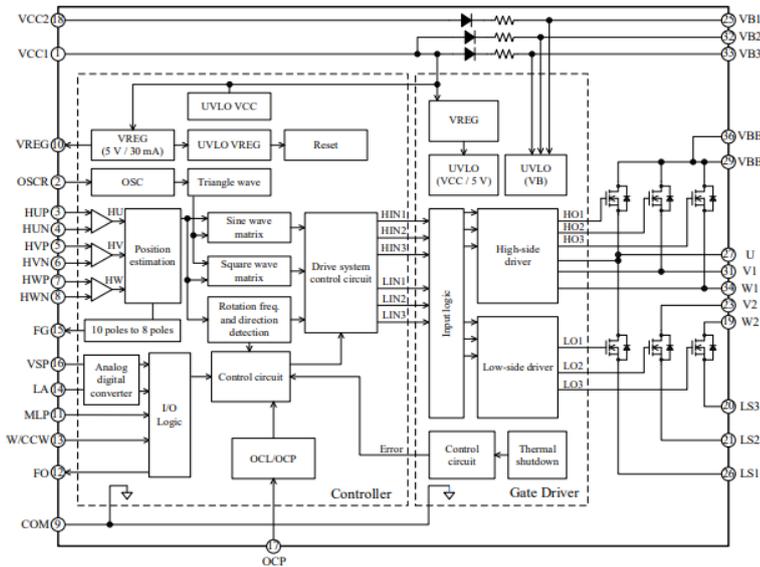


図3. モータ制御ICのブロック図例

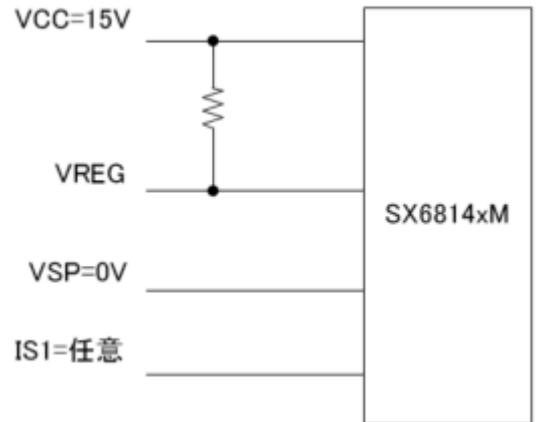


図4. 追加回路例

以上

【社内整理番号】 2022-090

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 井上 隆

【発明の名称】 半導体集積回路



【技術の詳細】

1. 先行技術の構造・構成、製法、回路動作などの説明

パワー半導体素子を使用し、インバータ、モータ駆動装置を構成する場合、通常パワー半導体素子はトータムポール接続したブリッジ構成となる。これらのパワー半導体素子とそれらを制御する集積回路チップを単一のパッケージ内に組み込んだパワーモジュールの存在が知られている。このようなパワーモジュールにおいて、何等かの原因によってパワーモジュールの出力端子が過電流や短絡等の異常となった場合、パワーモジュールやパワーモジュールが含まれる装置の保護を行う必要がある。過電流異常の検知方法として、トータムポールのローサイド側の電流値をシャント抵抗等で測定し、基準値を超えた場合、過電流異常と判断する。そして、その異常情報をハイサイド側に伝達して、ハイサイド側の保護を行う方式が知られている。

2. 先行技術の問題点

パワーモジュールの高圧製品では、コスト等の観点からローサイドのドライブ回路とハイサイドのドライブ回路を別チップの IC 構成にする場合がある。このような場合にローサイドの異常情報をハイサイドのドライブチップに伝達するには、チップ上に信号伝達用の PAD(端子)を設け、モジュール内部でボンディング結線を行う、もしくはモジュールに専用端子を設ける必要があり、工数の追加や、端子構成の変更が必要になる。

3. 今回の発明の詳細

(1)先行技術との相違点

過電流異常を検知した場合、ハイサイドドライブ IC チップのゲート入力信号に特定パターンの信号を重畳する。ハイサイドドライブ IC チップのゲートの制御回路はその特定信号を受信した場合、異常検知したことを示す信号を生成する。これにより、ハイサイドのドライブ回路は、過電流保護動作を行うことができる。

(2)発明の具体例(最適実施例)

図 1 は今回の考案を適用する 3 相ブリッジのパワーモジュールの 1 相の回路ブロックを示す。

モータの駆動段は高圧のパワー半導体素子(この図では IGBT)はトータムポール接続され、ハイサイド側、ローサイド側のパワー半導体素子を駆動するためのドライブ回路を含む IC チップがその前段に接続される。先行技術の説明に記載したように、このドライ

ブ回路はハイサイド側、ローサイド側独立したチップ構成としている。

本構成ではパワーモジュールに搭載されているパワー半導体素子の電流を、ローサイドのパワー半導体素子のエミッタ側に接続したシャント抵抗 R_s で測定し、過電流状態か否かを判断している。

具体的には R_s の両端の電位を、事前に設定した基準電圧と比較し、基準電位を超えた場合に過電流と判断する。過電流と判断すると、その信号はローサイドドライブ IC チップの制御回路に伝達され、ローサイドのパワー半導体素子に対し、保護動作を始めるための信号を生成する。

それと同時に、その情報はローサイドのドライブ IC チップに設けた不良検知信号出力端子(FO)から出力され、システムの制御を行うコントロール IC に伝達される。

一方、パワーモジュールのハイサイドのドライブ IC チップには過電流を検知する機能・端子はつけていない。そのため、ハイサイドのドライブ IC チップが過電流保護として、動作を停止するには、過電流が発生しているという信号をハイサイドのドライブ IC チップが受け取る必要がある。

本実施例では、ローサイドのドライブ IC チップが FO 端子から出力した信号をコントロール IC で受け、コントロール IC の中で、ハイサイドのドライブ信号の中に特定のパターン信号を重畳することで、ハイサイドの駆動 IC が異常発生を認識するようにしている。

具体的な波形の例を図 2 に示す。

この図の(a)の部分は通常のドライブ信号の入力波形と出力波形を示している。HIN に“L”から“H”に遷移する信号が入力されると制御回路で変換され、set 出力にトリガパルスが出力される。Set パルスは、レベルシフト後、ドライブ回路で再度変換され、HO から“L”→“H”の信号が出力され、ハイサイドのパワー半導体素子が ON 状態に遷移する。また、HIN に“H”から“L”に遷移する信号が入力されると、上記と同様に、制御回路で変換、レベルシフト後、ドライブ回路で再度変換され、HO から“H”→“L”の信号が出力される。

次に異常時の波形について説明する。

図 2 の(b)の部分でローサイドのドライブ IC チップが異常を検知し、コントロール IC に異常信号を出力する。その信号を受けた場合、コントロール IC は HIN の入力信号に、短い期間の“L”パルスを重畳させる。通常、本実施例の対象となるようなパワーモジュールでは、入力に加わるノイズによる誤動作を防止するため、極端に短いパルスでは反応しないよう一定時間のフィルタを付加するのが一般的である。そこで、ここで印加するパルス幅をその時間より短い時間で設定することで、通常の動作が起らないようにすることができる。また、実際に過電流での保護動作としては、過電流が発生した時に、ハイサイドのパワー半導体素子が ON 状態であればそれをすみやかに OFF にすることが求められる。従って、入力信号が“H”の状態のときに伝達させることとなるため、“L”パルスを重畳させる。前記の信号が入力されるとハイサイドのドライブ IC の制御回路は、その Alert 信号を生成し、Alert

出力からパルスを出力する。そして、ドライブ回路に Alert 信号パルスが伝達することで、ドライブ回路は異常を認識し、ハイサイドのパワー半導体素子が OFF になる信号を出力する。

(5) 図面

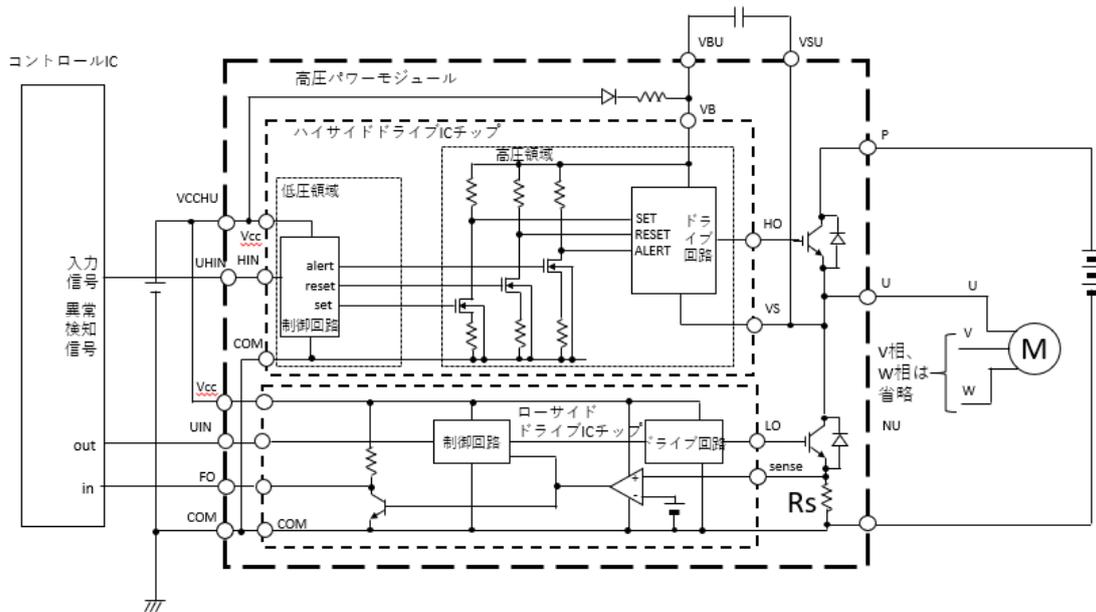


図 1：本実施例における 3 相ブリッジのパワーモジュールの 1 相の回路ブロック

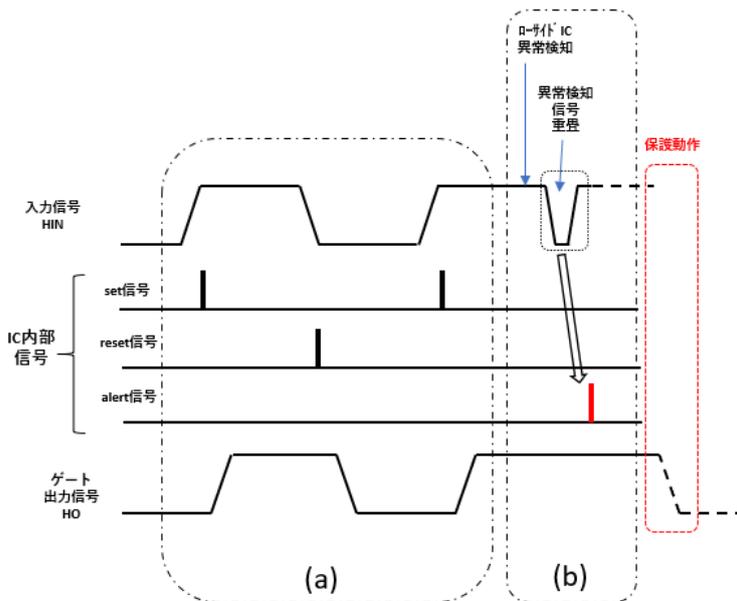


図 2：本実施例におけるドライブ信号のタイミングチャート