

【社内書式番号】2023-072

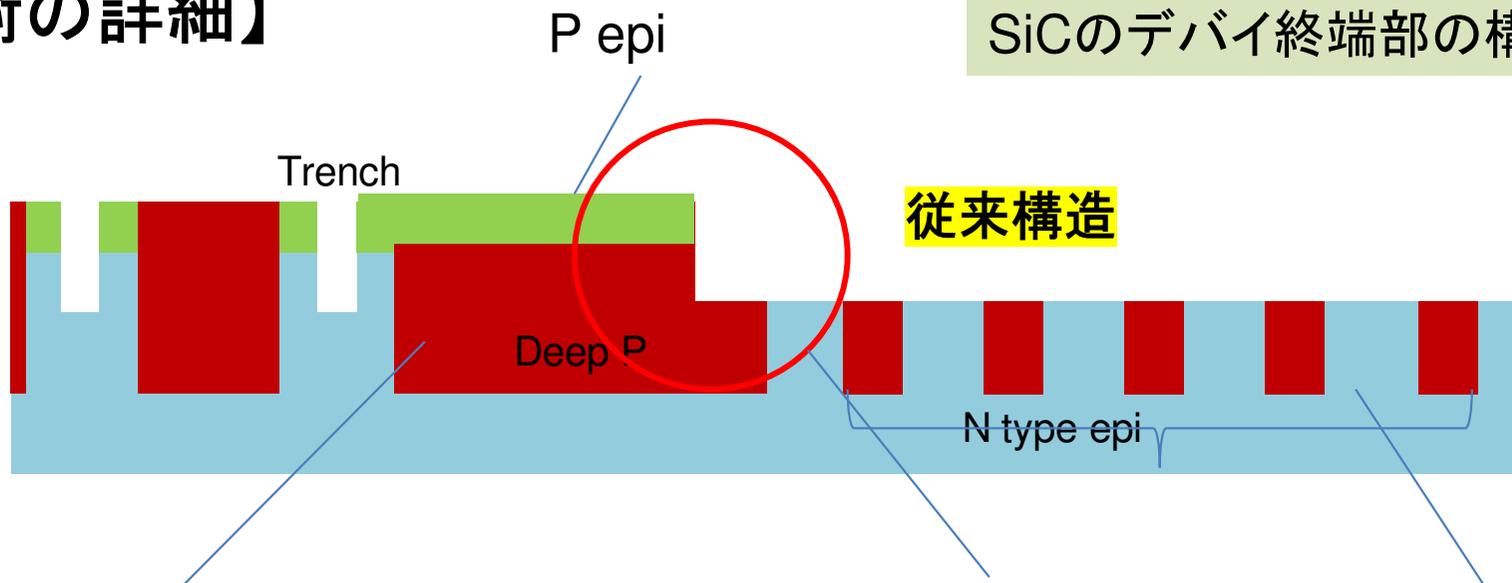
【企業名】サンケン電気株式会社

【発明者】保立 倫則

**【発明の名称】 SiCデバイス
(MOS)の外周パターン**

【技術の詳細】

SiCのデバイ終端部の構造

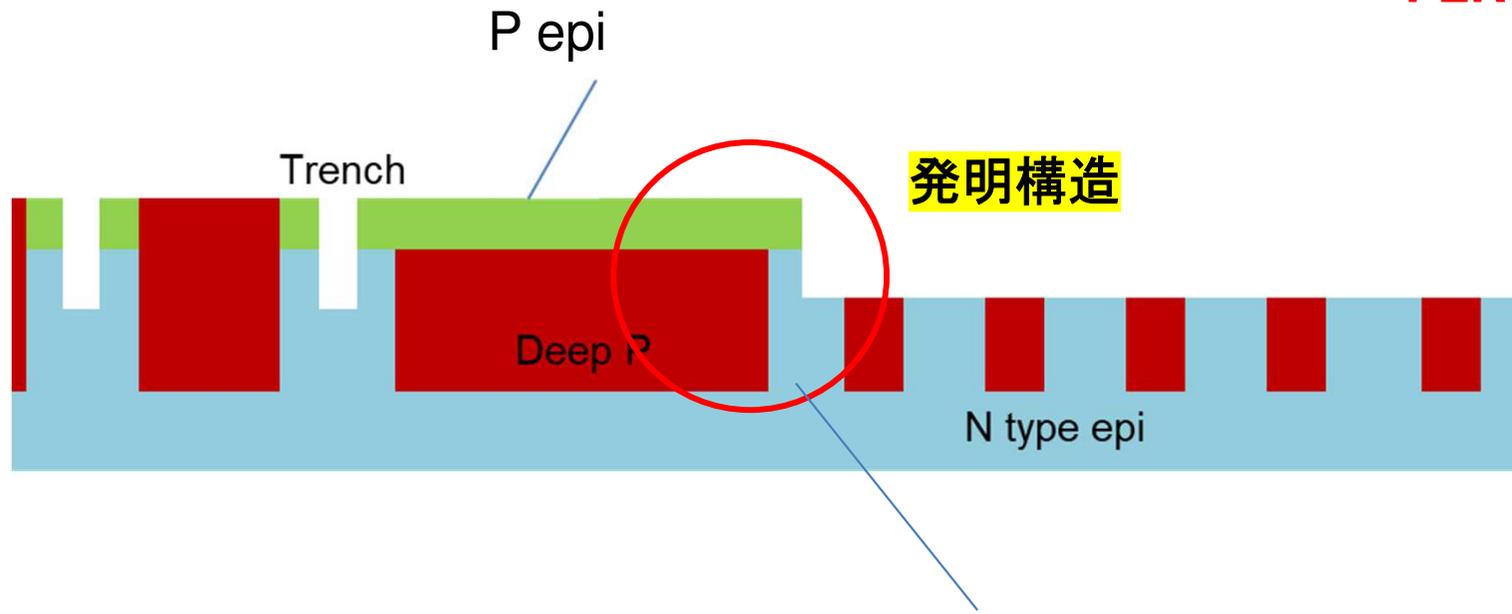


従来構造

<課題> P層に段差をつけると耐圧が低い

ガードリング

FLR



発明構造

N層に段差をつけると耐圧が上がる

上記のように、N層に段差を付ける構造で、耐圧を従来構造より高くできる

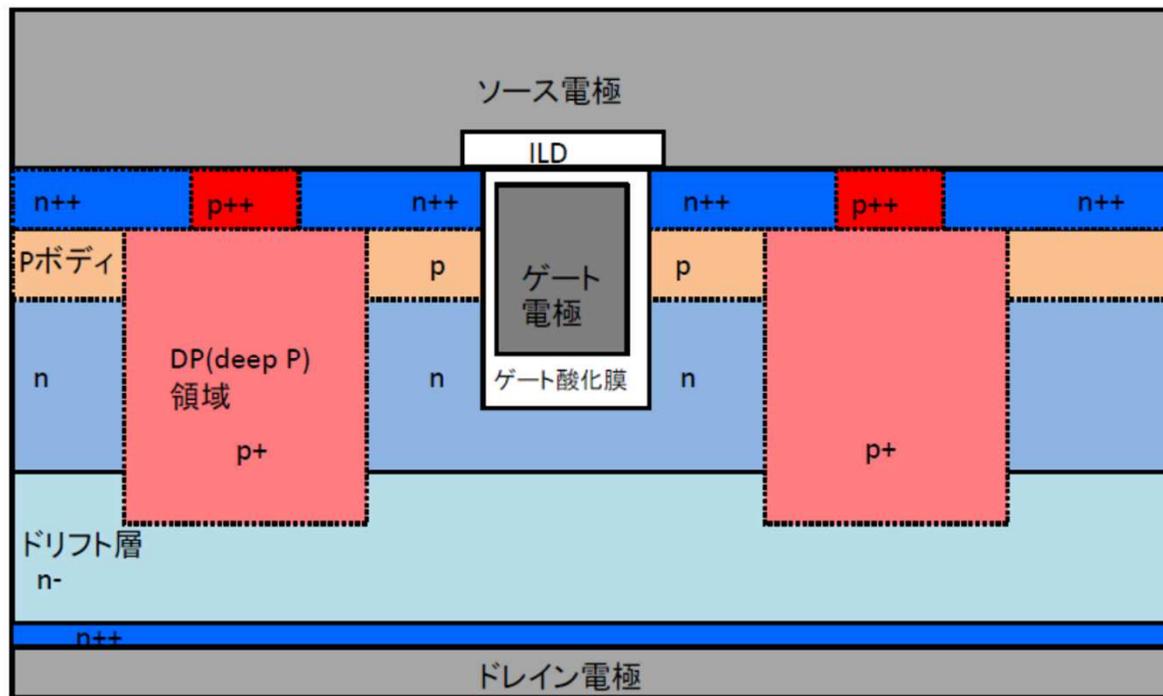
【社内書式番号】2023-097

【企業名】サンケン電気株式会社

【発明者】山田 遼太 田中 雄季

**【発明の名称】 DPで囲われたトレンチ
底部にSBD構造を内蔵したSiCトレンチ
MOS**

技術の詳細 発明構造(1)

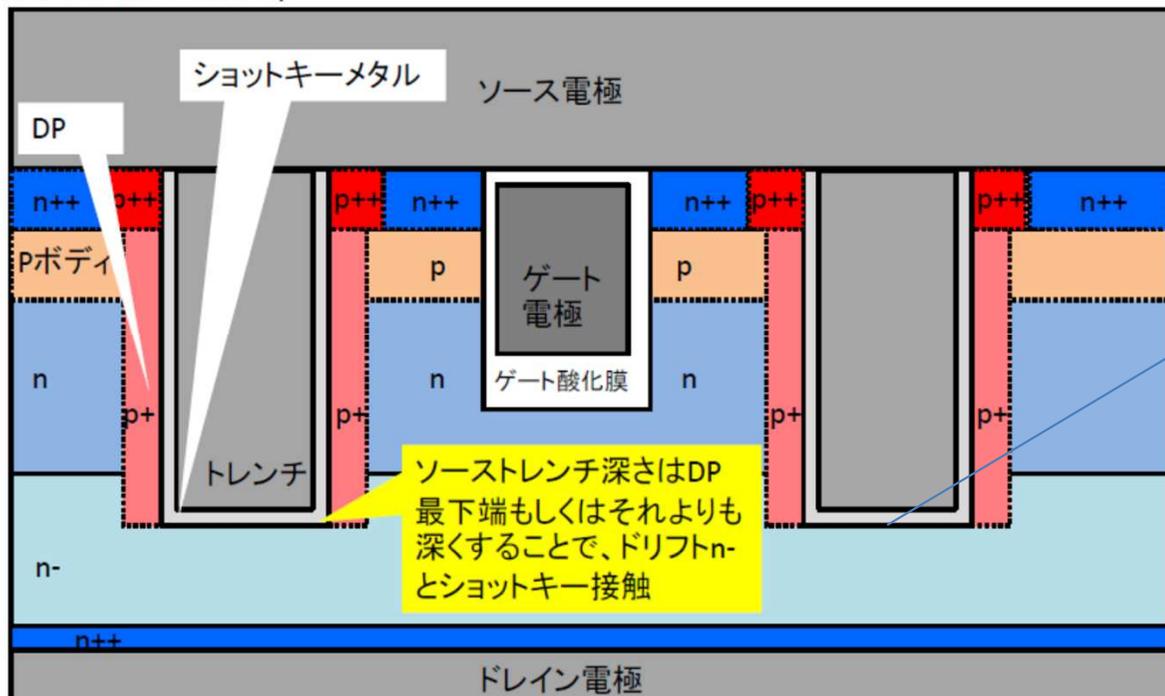


従来構造

<課題>

SiCトレンチMOSにおいて、左の構造ではRonが十分に低減できない。

DP領域の内側にトレンチを形成し、トレンチ底部でショットキー接続を形成する構造。
(従来構造部分にSBD領域を形成することで、従来構造からセルピッチを広げる必要がなくRonAの増加を抑えられることを期待する構造。)

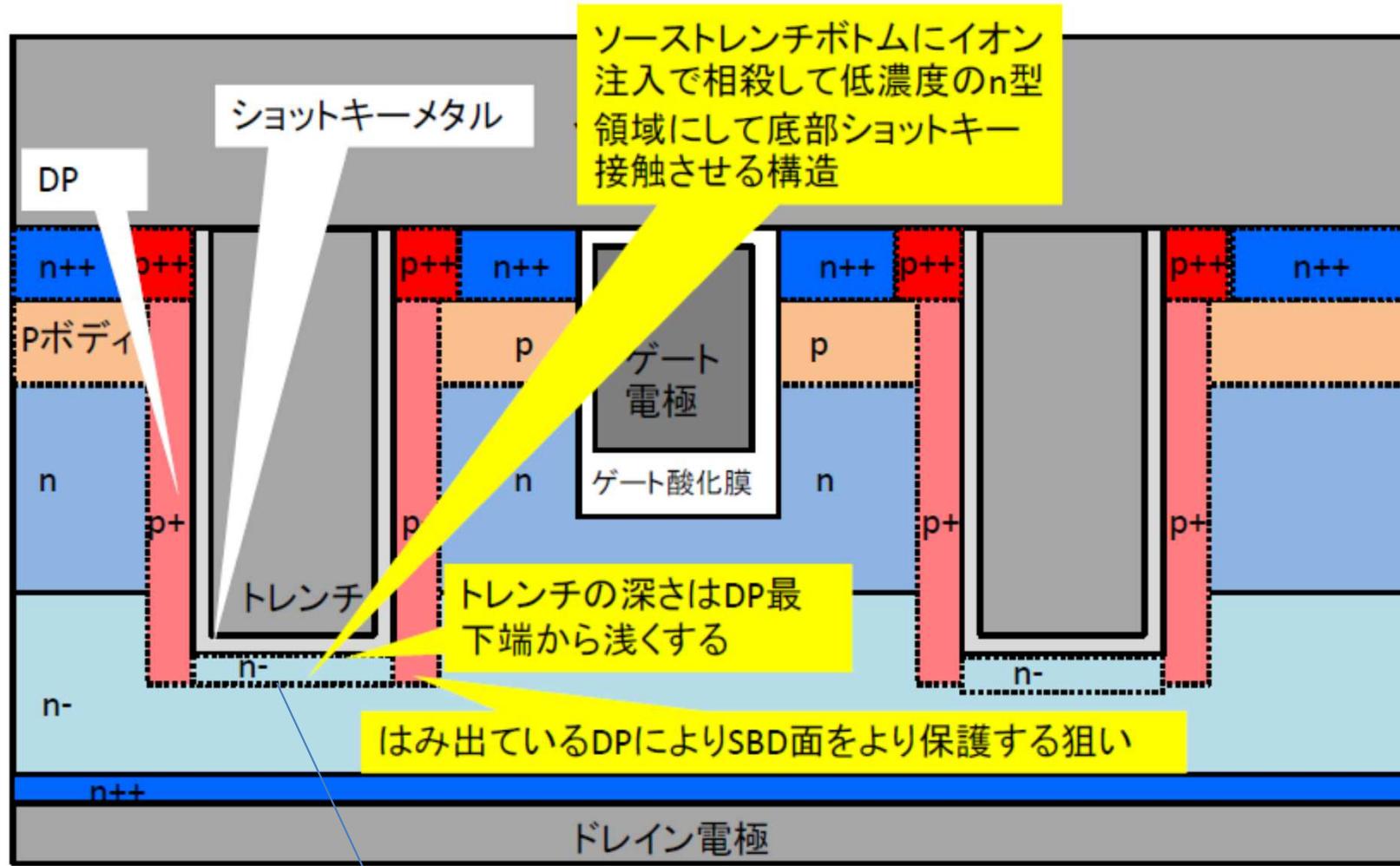


発明構造

DP領域の内部にトレンチを形成し、トレンチ底部でショットキー接続を形成することでRonを低減する構造

変形例(1)

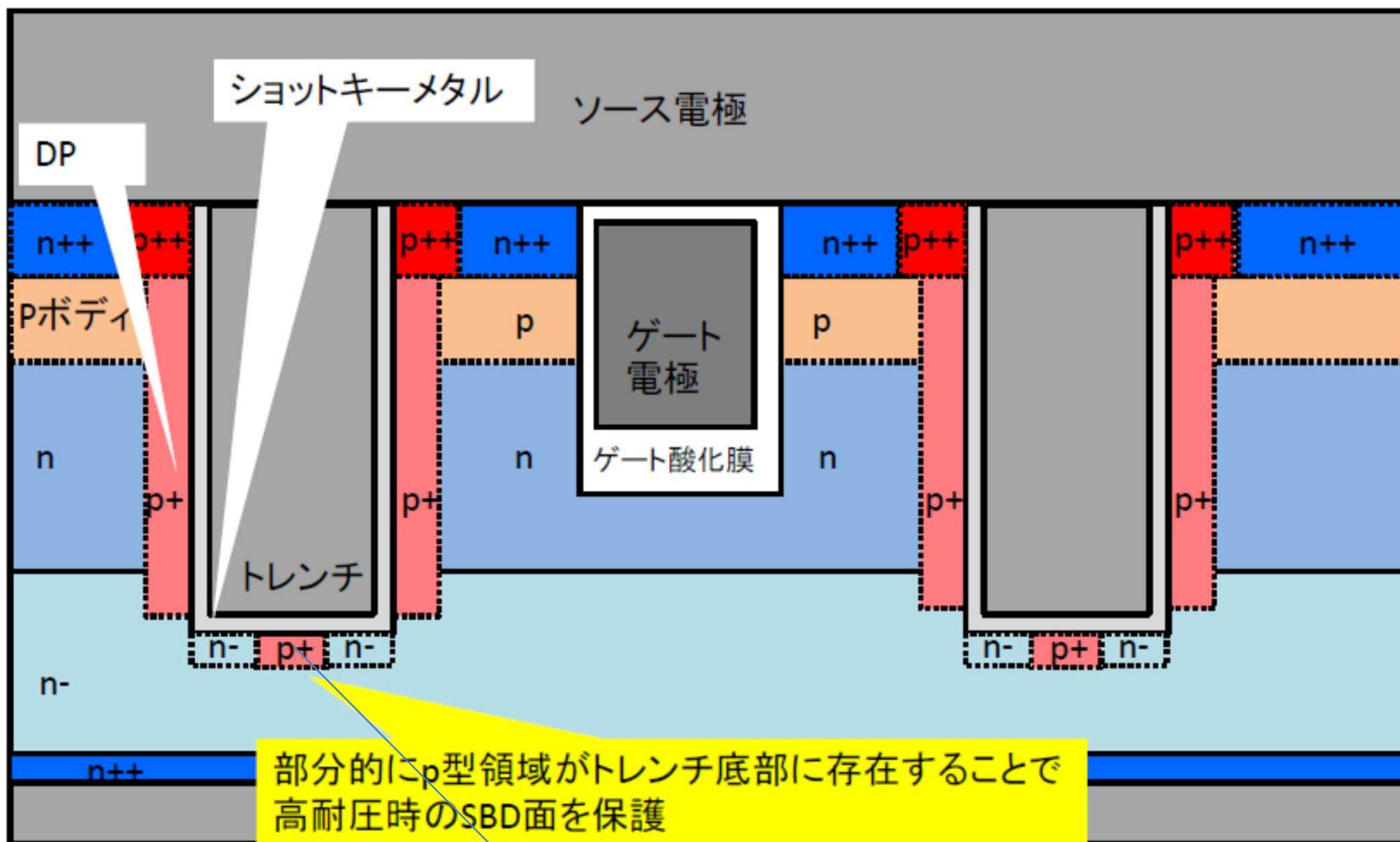
DP領域の内側にトレンチを形成し、トレンチ底部のp領域をイオン注入でn型にして、トレンチ底部でショットキー接続を形成する構造



Deep P深さ>トレンチ深さとし、DPによりSBD面を保護する構造

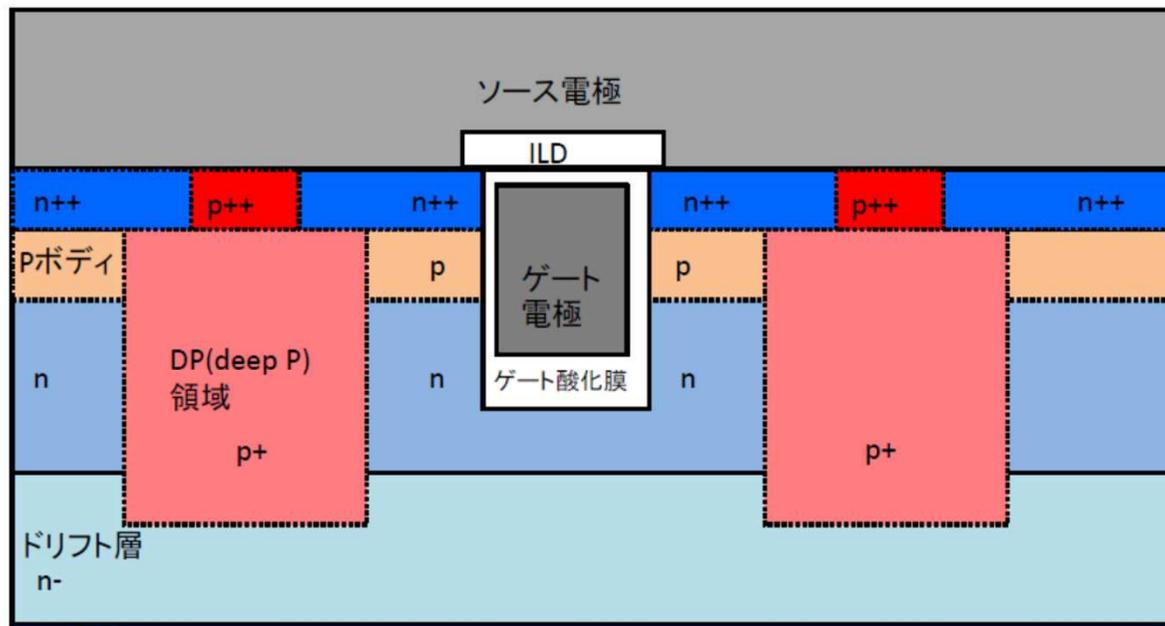
変形例(2)

DP領域の内側にトレンチを形成し、トレンチ底部の一部分にp領域が存在することで、高耐圧時に空乏層を広げることによってショットキー面に高圧がかからないようにする構造



部分的に底部にP+を作り、耐圧を向上

発明構造(2)

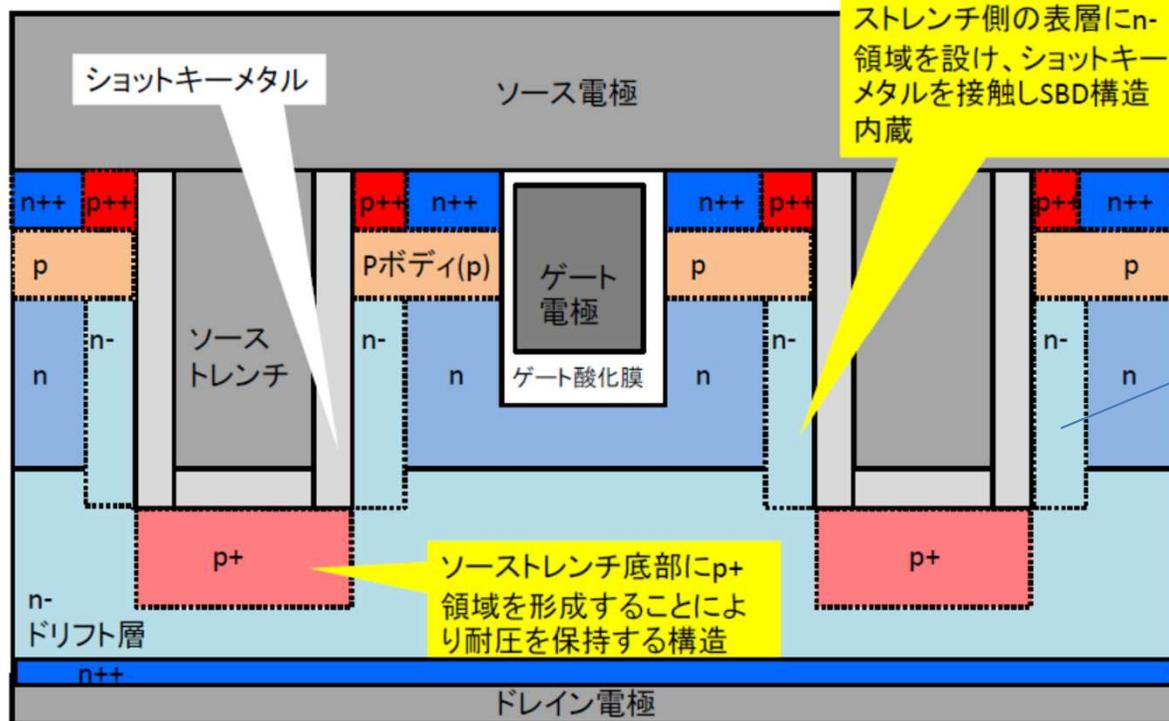


従来構造

<課題>

Ronが十分に低減できない。

DP領域の内側にトレンチを形成し、トレンチ底部でショットキー接続を形成する構造。
(従来構造部分にSBD領域を形成することで、従来構造からセルピッチを広げる必要がなくRonAの増加を抑えられることを期待する構造。)



発明構造

トレンチ両側にN層を設け、側壁でショットキーコンタクト

pボディの下部かつソーストレンチ側の表層にn-領域を設け、ショットキーメタルを接触しSBD構造内蔵

ソーストレンチ底部にp+領域を形成することにより耐圧を保持する構造

【社内整理番号】 2023-079

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 生田目 裕子

【発明の名称】 半導体装置

【技術の詳細】

1. 類似する先行特許

【先行技術 1】：特開平 4-225262 号

2. 先行特許の構造・構成、製法、回路動作などの説明

先行特許には、基板上のダイパッドにスペースパターンを設けることにより、接着材の拡散領域を規定して、素子の位置ずれを防止している構造の半導体装置が開示されている。(図 1 参照)

3. 先行技術の問題点

先行特許の構造では、半導体素子の縁部とスペースパターンとの間隔が具体的に開示されていない。また、間隔が広いと位置決め精度が低下するという問題点がある。

4. 今回の発明の構造

(1) 先行技術との相違点（構造・構成の違い）

本発明は次の構成を特徴とする半導体装置である。

- ・絶縁放熱基板上的金属パターンにチップ位置ずれ防止用孔を備える
- ・チップ位置ずれ防止用孔はチップの 4 コーナー（四角）部に設ける
- ・金属パターンは厚さ 0.3 mm とする
- ・チップ位置ずれ防止用孔は $\phi 0.4$ mm とする
- ・チップの縁部とチップ位置ずれ防止用孔との間隔は 0.1mm とする

(2) メカニズム

本発明の半導体装置は、チップ搭載面にチップ位置ずれ防止用孔を備えているので、溶融したはんだの広がりを抑制し、チップのずれを防止することができる。また、チップの 4 コーナ部にチップ位置ずれ防止用孔を備えているので、チップの回転を防止することができる。

(3) 発明の具体例（最適実施例）

図 2 は、本発明の半導体装置の内部平面図である。図 3 は、本発明の半導体装置の特徴のチップ位置ずれ防止用孔部の拡大図である。

ここでは、図 2 の符号に沿って実施例の半導体装置を説明する。

- ・半導体装置 1 は、リードフレーム 2、パワーチップ 3、絶縁回路基板 4、コントロールチップ 5、ワイヤ（省略）、モールド樹脂 6 で構成されている。
- ・リードフレーム 2 は、0.4 mm の板厚で銅系材料をスタンピングしたものであり、一般的な半導体装置部材として知られている。
- ・パワーチップ 3 は、電力用の IGBT (Insulated Gate Bipolar Transistor) であり、下面にドレイン電極、上面にソース電極とゲート電極を備える。
下面のドレイン電極が絶縁回路基板 4 の上面に搭載され、はんだ等で電氣的に導通して接合されている。
- ・絶縁回路基板 4 は、セラミック板の上面と下面に銅金属パターンを積層したものである。例えば、AMB (Active Metal Brazing) 基板、DBC (Direct Bonding Copper) 基板が一般的に知られている。
さらに、絶縁回路基板 4 のチップ搭載面 41（上面の銅金属パターン）には、チップ位置ずれ防止用孔 42 を備えている。詳細は別途説明する。
- ・コントロールチップ 5 は、制御用の IC (Integrated Circuit) であり、上面に複数の電極パッドを備える。下面を接合材でリードフレーム 2 の内部上面に搭載され接合されている。
- ・ワイヤは、各チップとリードフレーム等をアルミや銅系材料でワイヤボンディングし、電氣的に接続をおこなう。銅系材料を使用すればコスト的にもよい。
（ワイヤは一般的な配線であるため図示省略）
- ・モールド樹脂 7 は、エポキシ系の樹脂封止材であり、リードフレーム 2 内部、各チップ 3・5、絶縁回路基板 4、ワイヤを樹脂封止し、リードフレーム 2 の端部を外部リードとして突出させている。
また、絶縁回路基板 4 の下面をモールド樹脂 6 から露出させると放熱性が向上する。

次に、図 3 の符号に沿って実施例の半導体装置の特徴部を説明する。

絶縁回路基板 4 のチップ搭載面 41（上面の銅金属パターン）には、チップ位置ずれ防止用孔 42 を備えている。

先行特許のように長方形の角穴で設計すると多くのスペースを占め、チップ搭載レイアウトがし辛い、放熱面積不利である。また、一般的なエッチング加工では方形は角が出難く略楕円になってしまう。よって、孔形状は真円とした。

また、孔形状は真円としたので、チップ搭載部の設計スペースが削減でき（小型化）、レイアウトがし易く、チップ搭載部以外の銅金属パターン面積が大きくとれ放熱面積有利である。

- ・セラミック板の厚さは 0.38 mm とする、銅金属パターンは厚さ 0.3 mm とする
- ・チップ位置ずれ防止用孔 42 は $\phi 0.4$ mm とする
- ・対角の 2 角と 4 角に孔を配置し θ ずれ量を実験検証をおこなった結果、リフロー前後では、チップを 5 度 θ 回転して実装しリフローしたものは、穴 4 つ角ではんだの広がり角が 4 角の穴でせき止められる。回転がセンター位置に戻るセルフアライメント効果が確認できた。よって、4 角（コーナー）部に配置する方がよいことが分かった。
- ・孔径は Cu 厚 0.38mm の放熱基板に $\phi 0.3, 0.4, 0.5$ mm の 3 水準でサンプル作成し実験検証をおこなった結果、 $\phi 0.3$ は形状が安定的に孔の形成ができなかった、 $\phi 0.5$ では形状が大きすぎてチップ搭載面積に縮小につながってしまう、 $\phi 0.4$ がよいことが分かった。
- ・また、断面形状としては、Cu 層の下のセラミックは露出しなくても効果があることを確認し、TOP 寸法（銅金属パターンの表面）で $\phi 0.4$ mm とすればよい。すなわち、パターン TOP 寸法が重要であり、セラミックの露出は不問にできる。
- ・チップの縁部とチップ位置ずれ防止用孔との間隔は、間隔:0.1mm と 0.2mm で実験検証をおこなった結果、 θ ずれ量に差があることが確認でき、0.1mm がよいことが分かった。

まとめると、基板の銅金属パターン厚と孔径の関係は、基板 Cu 厚 0.38 mm、孔 $\phi 0.4$ mm、クリアランス設計 0.1 mm が最適値であることを見出した。

(効果)

半導体装置は、絶縁回路基板にチップを搭載する構造において、 $\phi 0.4$ mm のチップ位置ずれ防止用孔を設けている。これにより、チップ搭載部の面積に占める孔の面積が最小になり、より大きなチップサイズを搭載することが可能である。また、チップ搭載位置のずれ・回転を防止することが可能である。

(4) 他の実施例（変形例）

本実施例は絶縁回路基板としたが、絶縁金属基板やリードフレームであってもよく、その効果は同一である。

チップが単数の説明をしたが、実施例のようにチップが複数で接近している場合、ひとつの孔を隣り合うチップ間で共用して設計することができる。（図 3 参照）

本実施例は半導体モジュールの IPM（Intelligent Power Module）タイプパッケージ形状だが、他の一般的な半導体装置の SOP（Small Outline Package）パッケージ

ジや SIP (Single In-line Package) パッケージに適応させてもよい。その効果は同一である。

また、詳細な設計寸法に関しては、半導体素子や半導体装置の寸法に対応し、適宜設計して決定することが可能である。

(5) 図面

図 1 : 先行特許の内部平面図

(2 : 半導体素子、11 : ダイパッド、13 : スペースパターン、符号は先行特許のもの)

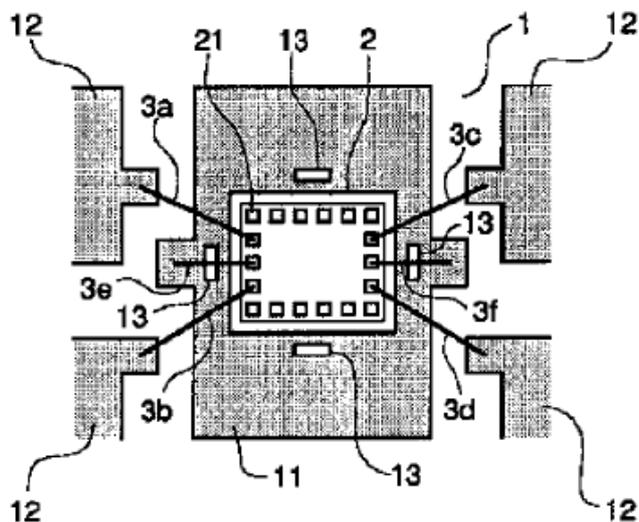


図 2 : 本発明の半導体装置の内部平面図

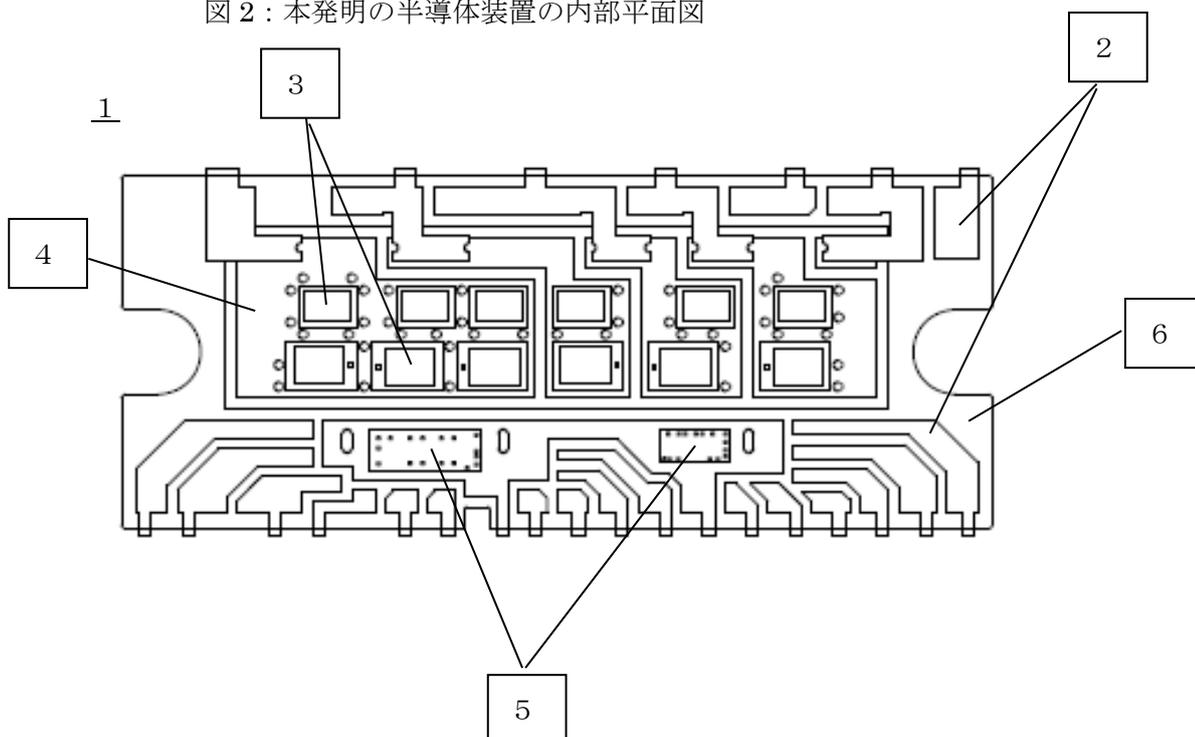
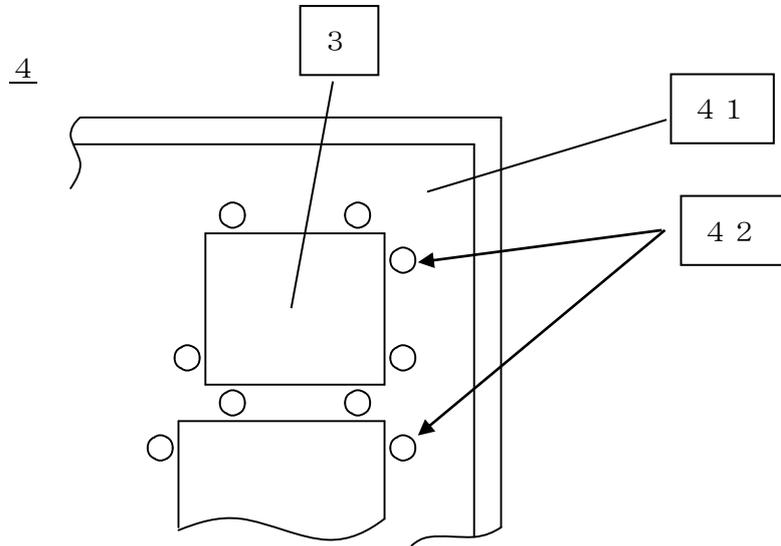


図 3 : 本発明のチップ位置ずれ防止用孔部の拡大図



以上

【社内整理番号】 2023-113

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 坂本 凌佑

【発明の名称】 半導体装置

【技術の詳細】

1. 類似する先行特許

【先行技術 1】：特許 5149028 号

2. 先行特許の構造・構成、製法、回路動作などの説明

先行特許には、リン入り銅ワイヤをアルミ銅電極にワイヤボンディングし、ハロゲン 1000ppm 以下の樹脂（ノンハロゲン樹脂）で樹脂封止する構造の半導体装置が開示されている。（図 1 参照）これにより、銅ワイヤの接合部の腐食を抑制している。

3. 先行技術の問題点

先行特許の構造では、リンで銅ワイヤボンディング時のボール成形（FAB：Free Air Ball）の酸化防止をおこなっているが、リン自体が銅ワイヤの腐食を防止に関与しておらず、少量のハロゲン（1000ppm 以下）でも銅ワイヤの腐食が発生する懸念がある。また、ノンハロゲン樹脂でも銅ワイヤの腐食を完全に止められない懸念がある。

4. 今回の発明の構造

（1）先行技術との相違点（構造・構成の違い）

本発明は次の構成を特徴とする半導体装置である。

- ・ボール部表面にパラジウム（Pd）を析出した状態でワイヤボンディング（WB）したものを樹脂封止したパッケージ構造
- ・硫酸イオンが少量の樹脂で樹脂封止したパッケージ構造

（2）メカニズム

ワイヤボンディングされている半導体装置は、高温状態を維持すると銅（Cu）ワイヤとアルミ（Al）電極層間で合金が生成され（Cu ワイヤ付近では Cu:Al=9:4 の合金が生成）、成形樹脂に含まれる少量のハロゲン（1000ppm 以下）や硫酸イオン（H₂SO₄）が合金層に浸食することで腐食が生じる。（図 5 参照）

一般的な Cu ワイヤには Pd が表面にコーティングされているものがあり、腐食を防止する効果がある。しかし、WB でスパークが発生（FAB を生成）した直後に電

流の熱により、Pd は表面から内部へ対流が発生するため、FAB の表面上に Pd が残っていない（内部に移動する）。

これにより、Pd がコーティングされている Cu ワイヤで Al 電極上にワイヤボンディングしても、接合部は Pd が表面に無いため、樹脂に含まれる硫酸イオンによって合金層が浸食される。（図 3 参照）

（3）発明の具体例（最適実施例）

（構造）

図 2 の本発明図の符号に沿って実施例を説明する。図 4 は、本発明の接合断面図である。

- ・半導体装置は、チップにワイヤをボンディングし樹脂封止する構成である
- ・チップは、電力用の IGBT（Insulated Gate Bipolar Transistor）や制御用の IC（Integrated Circuit）である
例えば、Al を主材とした電極である
- ・ワイヤは、銅系材料のワイヤボンディングであり、FAB 生成時に対流を外側に流動するように調整されたものである（FAB 表面に Pd が析出される）
例えば、田中金属（製）Pd コート銅ワイヤ（PPC）で CHR-1BK を使用することができる
- ・モールド樹脂 5 は、エポキシ系の樹脂封止材であり、ノンハロゲン樹脂（硫酸イオン含有量 5ppm 以下）である
例えば、レゾナック（製）硫酸少樹脂で CEL9240HF10 を使用することができる
- ・パッケージは、SIP（Single In-line Package）タイプを用いることができる
- ・車載用の大電流パッケージに用いることができる
- ・半導体装置としては、一般的な製造工程を使用できる

図 6 は、本発明の硫酸イオンとクラック長さグラフであり、HTST175℃ 2000h 時の結果である。硫酸イオン含有量 13ppm 樹脂では、クラック長が大きく、内部まで腐食していると思われる。また、硫酸イオン含有量 5ppm 以下樹脂では、クラック長が小さいことから、樹脂近辺のみ腐食あるが内部への腐食が抑制されていることが分かる。

（効果）

今回、FAB が作られる際に対流が発生するが、その対流を内部から表面の向きに流れるようにコントロールした Pd が表面に添加されているワイヤを使用することで、FAB 表面上に Pd が析出することが可能になる。この状態で Al 電極上にワイヤボンディングした構造に樹脂封止をすることで、ボンド部の表面に存在する Pd がハロゲ

ンや硫酸イオンの浸食を防止し腐食を抑制することができる。

また、ノンハロゲン樹脂に硫酸イオンが 13ppm 含まれている場合、高温熱衝撃試験（HTST） 175℃ 2000h の環境で腐食が確認されている。腐食を防ぐために、硫酸イオンが含まれない樹脂を使用する。硫酸イオンが含まれないノンハロゲン樹脂を使用することで、合金層に浸食する要素がなくなるため上記環境下で腐食を抑制することが可能になる。

(4) 他の実施例（変形例）

チップ電極の材質は、一般的の使用されているものであれば、アルミ銅等の合金であってもよく、その効果は同一である。

本実施例は一般的な半導体装置の SIP タイプパッケージ形状としたが、他の SOP（Small Outline Package）パッケージや半導体モジュールの IPM（Intelligent Power Module）パッケージに適応させてもよい。その効果は同一である。

また、詳細な設計寸法（ワイヤ径や電極サイズ等）に関しては、半導体素子や半導体装置の寸法に対応し、適宜設計して決定すればよい。

(5) 図面

図 1：先行特許の断面図（符号は先行特許のもの）

（105：合金層、107：パッド、111：ワイヤ、115：封止樹脂）

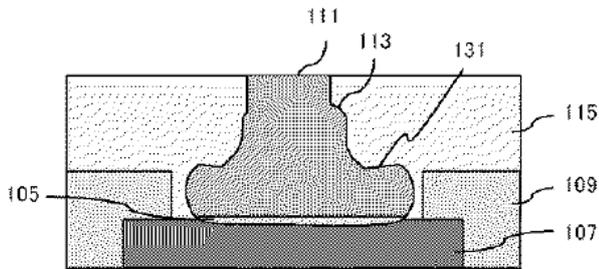


図 2：本発明図の符号

1	PCC Cuワイヤー
2	ハロゲン入り(Br)TRM樹脂
3	AlCu電極
4	Siチップ
5	CuとAlの合金層
6	リードフレーム
7	ノンハロゲンTRM樹脂(SO4 5ppm以下)
8	PCC Cuワイヤー-(FAB形成時表面にPd析出)
9	CuとAlの合金層(Cu:Al=9:4)
10	Cu:Alの合金層(Cu:Al=1:1)
11	Cu:Alの合金層(Cu:Al=1:2)

図 3 : 一般的な半導体装置の接合断面図

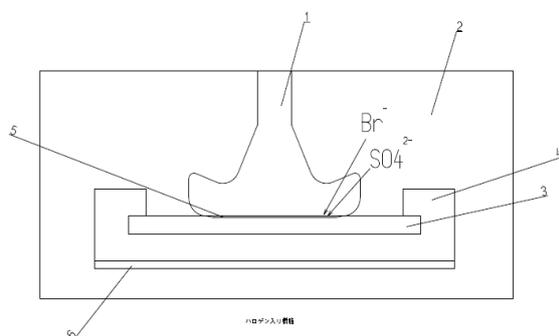


図 4 : 本発明の接合断面図

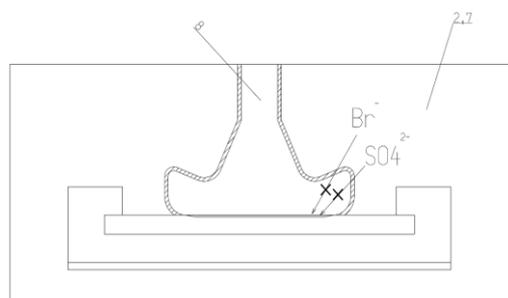


図 5 : 本発明の接合断面拡大図

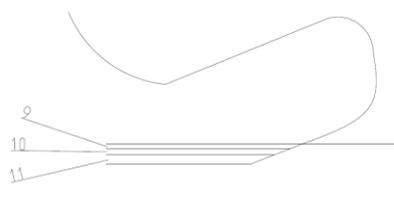
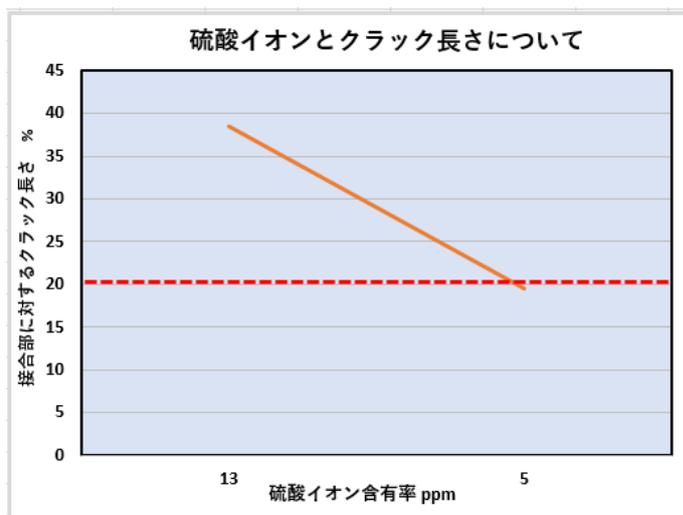


図 6 : 本発明における硫酸イオンとクラック長さグラフ



以上

【社内整理番号】 2023-115

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 三浦 慧悟

【発明の名称】 半導体装置

【技術の詳細】

1. 類似する先行特許

【先行技術 1】：特開 2008-235651 号

【先行技術 2】：特開 2019-123008 号

2. 先行特許の構造・構成、製法、回路動作などの説明

先行特許 1 には、絶縁回路基板（金属部）とリードフレームをレーザー溶接で接合する技術が開示されている。（図 1 参照） また、先行特許 2 では、アルミニウム部材の重ね隅肉溶接が開示されている。（図 2 参照）

3. 先行技術の問題点

先行特許の構造では、レーザー溶接を用いることはよいが、詳細な接合技術が具体的に開示されていない。また、接合部を直接検査（接合状態確認）することができず、品質担保に関して懸念事項となる。

4. 今回の発明の構造

（1）先行技術との相違点（構造・構成の違い）

本発明は次の構成を特徴とする半導体装置である。

- ・絶縁回路基板上の金属パターンにリードフレームの溶接部をレーザー接合する半導体装置の構造である
- ・リードフレームの溶接部幅を細く設ける
- ・リードフレームの溶接部幅は、レーザー照射幅より細くする

（2）メカニズム

本発明の半導体装置は、リードフレームの溶接部幅を細くすることで、重ね溶接と隅肉溶接の 2 つの溶接を同時に実現し、溶接品質を視覚的に確認できる構造・手法となる。また、隅肉溶接部がリードフレームの片側だけでなく、両側となることが先行特許との相違点となる。

(3) 発明の具体例（最適実施例）

図 3 は、本発明のレーザ照射前を示す略断面図である。図 4 は、本発明のレーザ照射とリードの関係を示す略図である。図 5 は、本発明のレーザ照射後（溶融時）を示す略断面図である。

本発明の半導体装置は、図を省略しているが、一般的な構造とすることができる。絶縁回路基板を準備し、チップ等の電子部品とリードフレームを基板に接合し、ワイヤで電氣的配線をおこない、モールド樹脂で樹脂封止するものであり、一般的な半導体装置の構造として知られている。

- ・ここでは、リードフレームの溶接部と絶縁回路基板の金属パターンをレーザにより接合するものである。
- ・リードフレームは、一般的に知られているものでよく、例えば、0.4 mm 厚の平板で銅系材料をスタンピングしたものである。また、リードフレームの幅は、レーザ照射幅より小さくする。たとえば、レーザ照射幅 0.5 mm、リードフレーム幅 0.1 mm である。
- ・絶縁回路基板は、絶縁回路基板は、セラミック板の上面と下面に銅金属パターンを積層したものである。セラミック板の厚さは 0.38 mm、銅金属パターンは厚さ 0.3 mm である例えば、AMB (Active Metal Brazing) 基板、DBC (Direct Bonding Copper) 基板が一般的に知られている。
- ・レーザは、照射径が 0.5mm のレッドレーザである。

(効果)

本発明の半導体装置は、絶縁回路基板とリードフレームをレーザ接合する内部構造において、接合状態を判断可能構造とすることができる。レーザ熱によりリードフレームと基板パターンの接触面の溶融接合した状態となり、また、リードフレームの隅肉溶接ができるので、平面視でレーザ接合状態を把握・判断することが可能である。これにより、カメラを使用した画像検査が可能である。

(4) 他の実施例（変形例）

本実施例は絶縁回路基板としたが、絶縁金属基板やクリップリードの接合であってもよく、その効果は同一である。

半導体装置としては、半導体モジュールの IPM (Intelligent Power Module) タイプパッケージ形状、他の一般的な半導体装置の SOP (Small Outline Package) パッケージや SIP (Single In-line Package) パッケージに適応させてもよい。その効果は同一である。

また、詳細な設計寸法に関しては、半導体素子や半導体装置の寸法に対応し、適宜設計して決定することが可能である。

(5) 図面

図 1 : 先行特許 1 の断面図

(2 : 絶縁回路基板、10 : リードフレーム、符号は先行特許のもの)

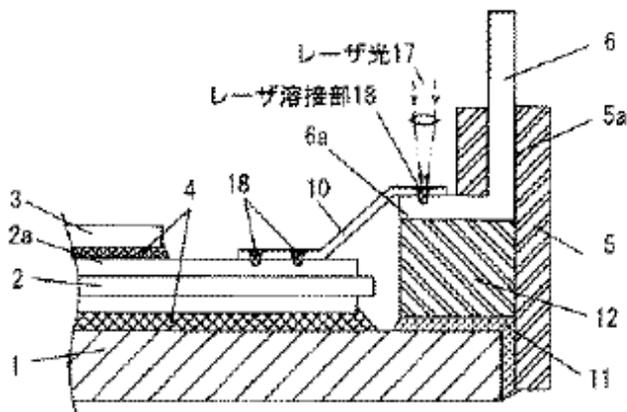


図 2 : 先行特許 2 の断面図

(23,25 : アルミニウム部材、31 : 溶接ビード、符号は先行特許のもの)

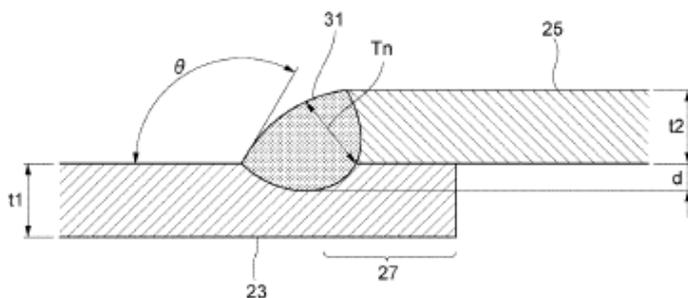


図 3 : 本発明のレーザ照射前を示す略断面図

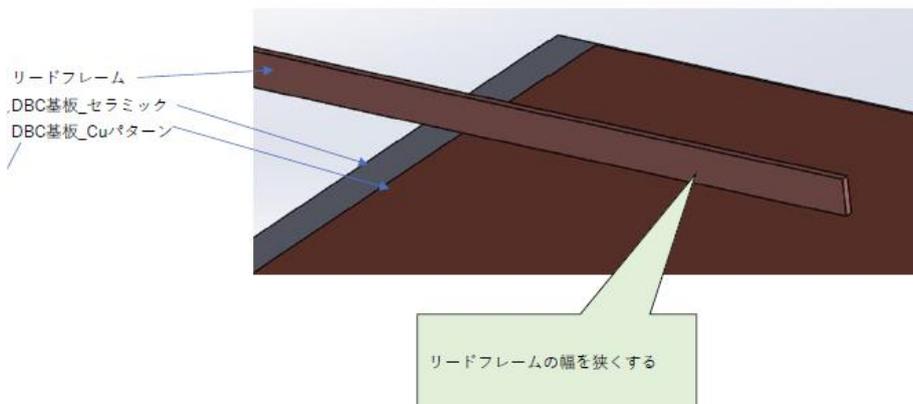


図 4：本発明のレーザー照射とリードの関係を示す略図

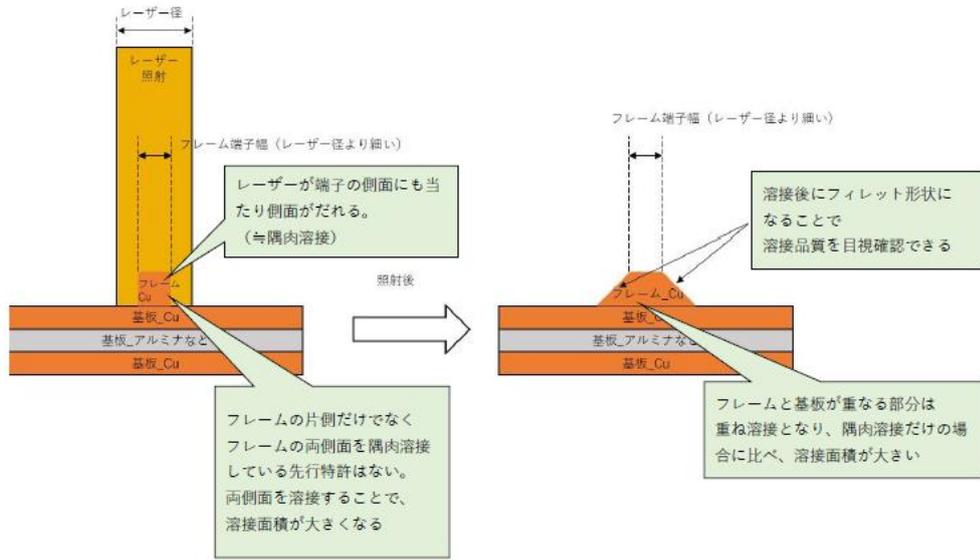
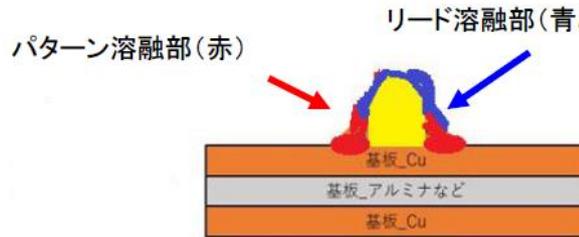


図 5：本発明のレーザー照射後（溶融時）を示す略断面図



以上

【社内整理番号】 2023-092

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 坂井 邦崇

高橋 宏

世良 穂高

宮澤 涼平

小峯 春菜

【発明の名称】 銅再配線の角取り

【技術の詳細】

1. 先行技術の構造・構成、製法、回路作などの説明

半導体装置において、その構成の一つである半導体集積回路チップ(MIC)では、半導体チップ上に構成される半導体素子に電気信号を伝達するために導電性の配線が使用されているが、その技術のひとつとして銅再配線がある。

銅再配線は半導体集積回路で従来から通常使用されているアルミ配線と比較して配線抵抗が少なく、大電流を流しても配線による電圧降下が小さいというメリットがあり、近年のパワー半導体の大電流駆動化に伴い適用が進んでいる。

しかし、半導体チップの生産コストは従来の仕様に比べ増加するため、コスト増大を回避するため、銅再配線上への保護膜を形成しないでウエハプロセスを完了するものがある。

その半導体チップは、ウエハプロセス完了後、半導体チップとしての特性試験を実施し、合格した半導体チップが組立工程に送られ、組立、完成品試験を経て、市場に出荷される。

2. 先行技術の問題点

前記の通り、ウエハプロセス完了時に半導体チップ状態で試験を行い、半導体チップ起因による不合格品はその段階で除外している。

半導体チップ状態では試験装置との接続は専用のプローブ針を半導体チップ上に設けたPADに接触させて測定する。

近年、パワー半導体の動作電圧の高電圧化から、試験時に各プローブ針経路で印加される電圧も高電位となっている。前記で説明したような銅再配線を使用し、銅再配線上の保護膜がない仕様の場合、その半導体チップ状態での試験の際、部分放電が発生する可能性があり、部分放電が発生すると、半導体チップの破壊や、ダメージによる信頼性の低下が生じる。

3. 今回の発明の詳細

(1)先行技術との相違点

前項で説明した部分放電は、銅再配線の中で、形状が鋭角(90°以下)の部分で発生しやすいことが知られている。従って、プローブ針を接触させるPADや銅再配線の中で形状が

鋭角になっている部分の角度が 90° 以上になるよう角取をする、もしくは円弧上にするこ
とで、部分放電のポテンシャルを減らす。

(2)発明の具体例(先行技術との比較含む)

図1、図2に先行技術の構成例を示す。ここで図1は対象とするMICの断面図、図2は上から見たレイアウト図である。図1において従来の通常のMICの場合、半導体素子を形成した後、外部との電気信号の授受のため、層間膜を形成したのち、配線層を形成し、さらに保護膜を塗布する。このMICに大電流を流す場合に配線抵抗による電圧低下を避けるため、配線抵抗の小さい銅の再配線層を設ける。具体的には保護膜に開口部を設け、その上に銅の再配線を行う。通常銅の再配線の際は銅の表面にNiやAuを積層するが、コスト増大を防ぐために銅再配線の上には保護膜は形成されない。このように半導体チップを製造した後に電気的特性の試験を実施する。試験の際は、銅再配線で形成したボンディング用のPAD(試験専用にも設ける場合もあり)にプローブ針を当ててそのプローブ針経由で電気信号を印加する。近年パワーデバイスで駆動する負荷が必要とするエネルギーが増加しているため、そのエネルギーを確保するためにパワーデバイス、その構成要素の一つであるMICへの印加電圧が上昇している。

図2のレイアウトに示すように、高圧電位が印加されるPADと低圧電位が印加されるPADが近接している場合、試験の際に高圧PADと低圧PADの間の電位差が大きくなる。このような場合に、導電配線が接触していなくても空气中を伝わり、電気エネルギーが伝達される(部分放電)ことがある。具体的には図中の矢印で示す部分にポテンシャルがある。部分放電が発生し、高圧電位がMICの中の低耐圧素子に印加されると、MICの破壊につながったり、その場で破壊しなくてもダメージによりMICの信頼性に影響を与える可能性がある。また、ウエハ上に構築される個々の半導体チップの間は、半導体チップの分離のためのダイスエリアが存在する。ダイスエリアには保護膜はなく、下地として、メタル層が露出している場合があるが、このメタル層がウエハの基板電位につながっていると、前記の高圧PADとの間に保護膜のような放電を妨げるものが存在せず、部分放電が発生する可能性がある。部分放電は導体の形状が鋭角(90°)以下であると発生する可能性が高くなることが知られており、そのためPADの四隅だけでなく、配線の曲部が直角以下の鋭角の場合にも部分放電の可能性が高くなる。

図3は本提案による実施例で、(a)はそのレイアウトを上から見たものであり、(b)、(c)は本提案実施部を拡大したものになる。

部分放電が発生する可能性が高いと思われる部分(PAD及び配線の角部が 90° 以下の角度になるところ)について角取りをして、角の角度が 90° 以上になるようにレイアウトを行う。これにより、PAD角や配線の曲部からの部分放電の可能性が小さくなり、半導体チップ完成時の試験により、信頼性の低下を招くことを防ぐことができる。

具体的な形状は、図3の(b)のように円弧上にしても良いし、図3の(c)のように角を斜めに切り取る形で残った角部の角度を 90° より大きくしてもよい。

(5)図面

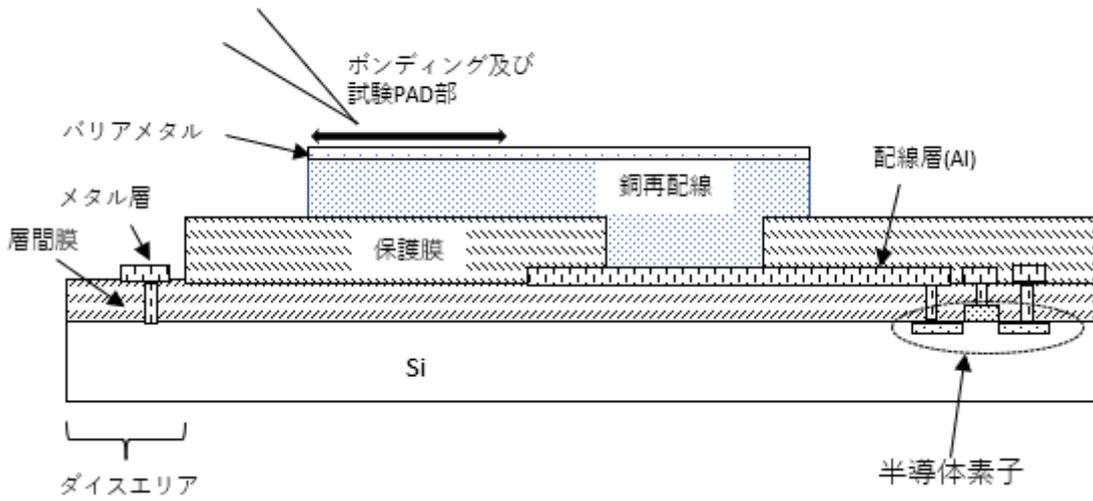


図 1：銅再配線技術を使用した MIC の断面図

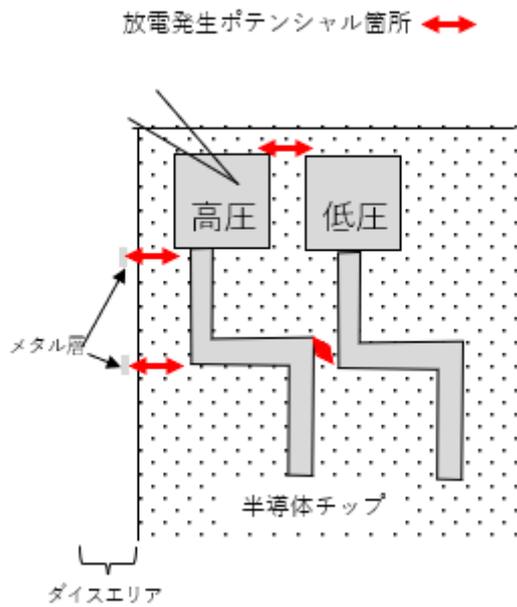


図 2：従来技術における MIC の銅再配線パターン例(上から見た図)

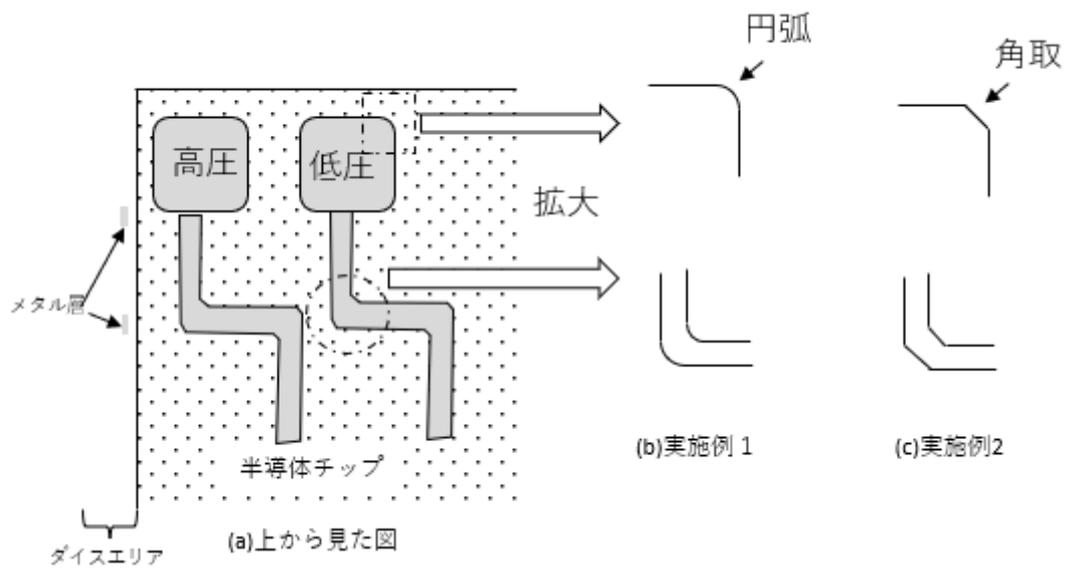
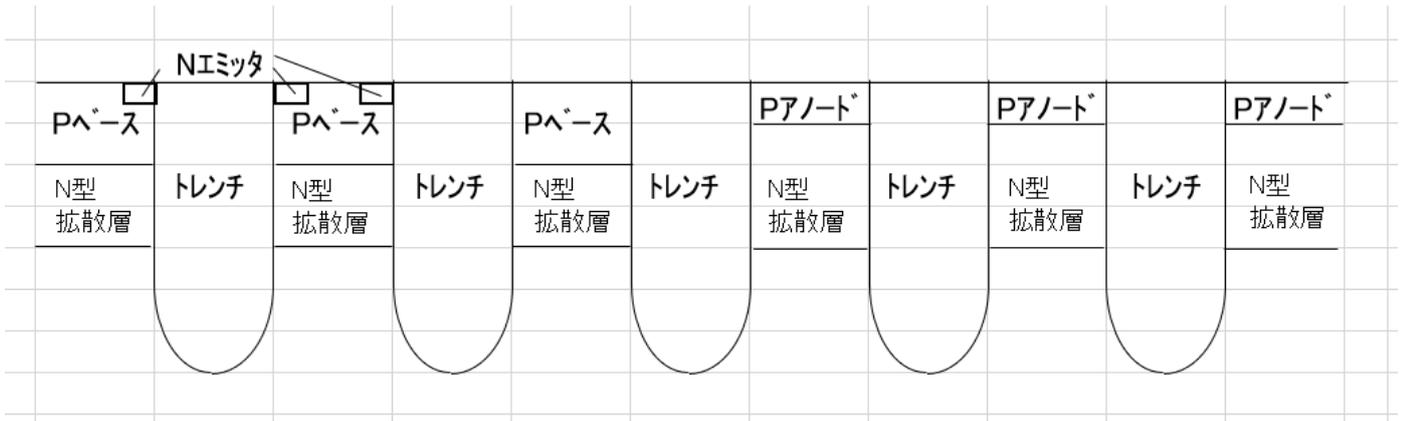
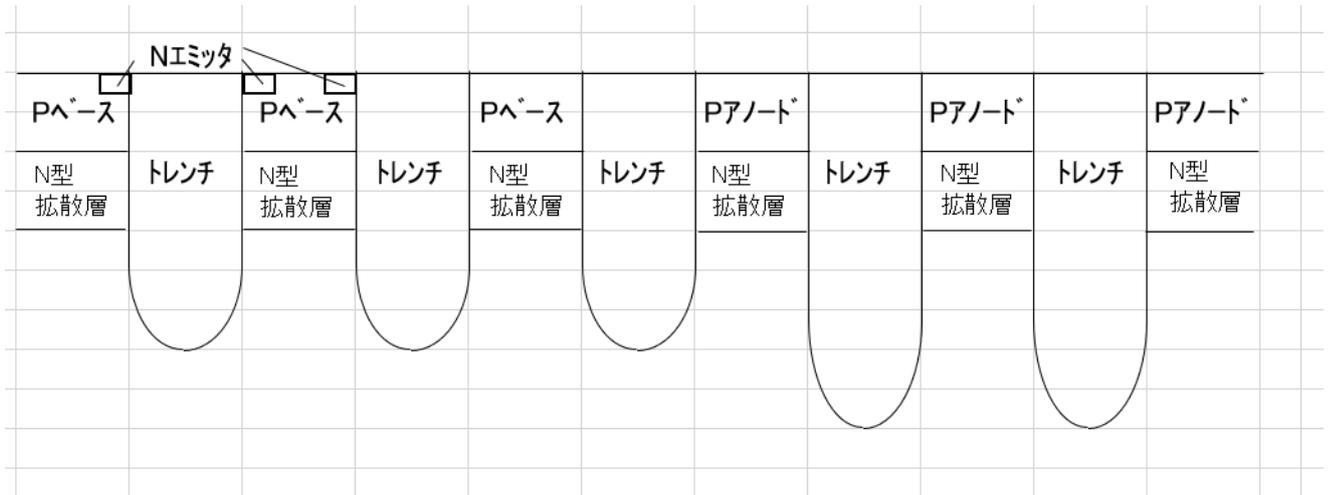


図 3：本提案の実施例

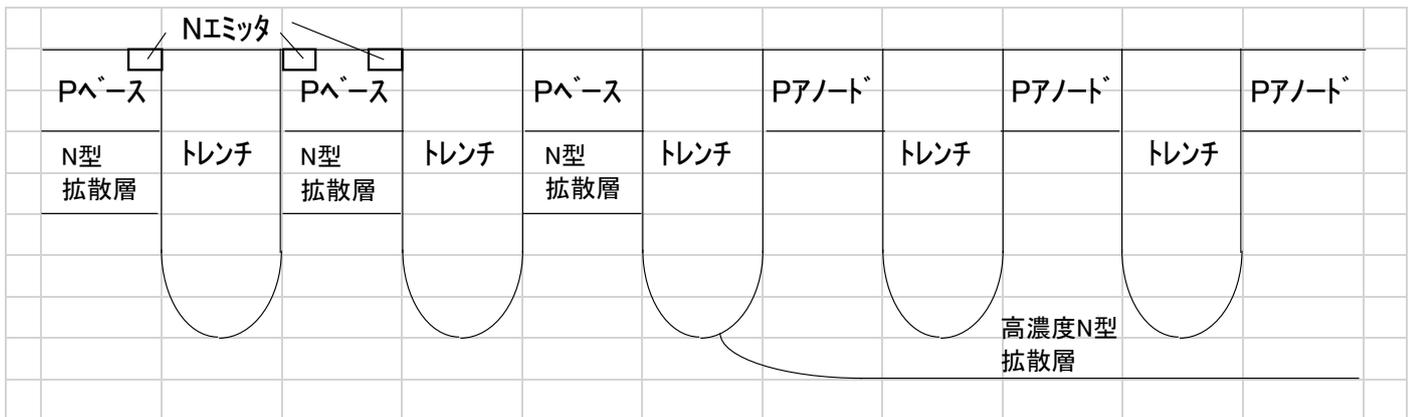
○ダイオードセル部分のアノード領域を浅くする。



○ダイオードセル部分のトレンチを深くする。



○ダイオードセル部分のアノード直下に、IGBTセル部よりも深く、濃度の高いN型拡散層を形成する。



以上

【社内整理番号】 2023-109

【企業名】 サンケン電気株式会社

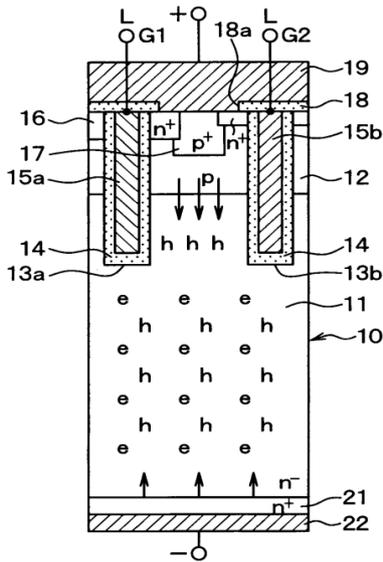
【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 近藤 太郎

【発明の名称】 半導体装置

1. 類似する先行特許

トレンチ MOSFET をダイオード動作させることで、オン抵抗を低減するものは公知である。

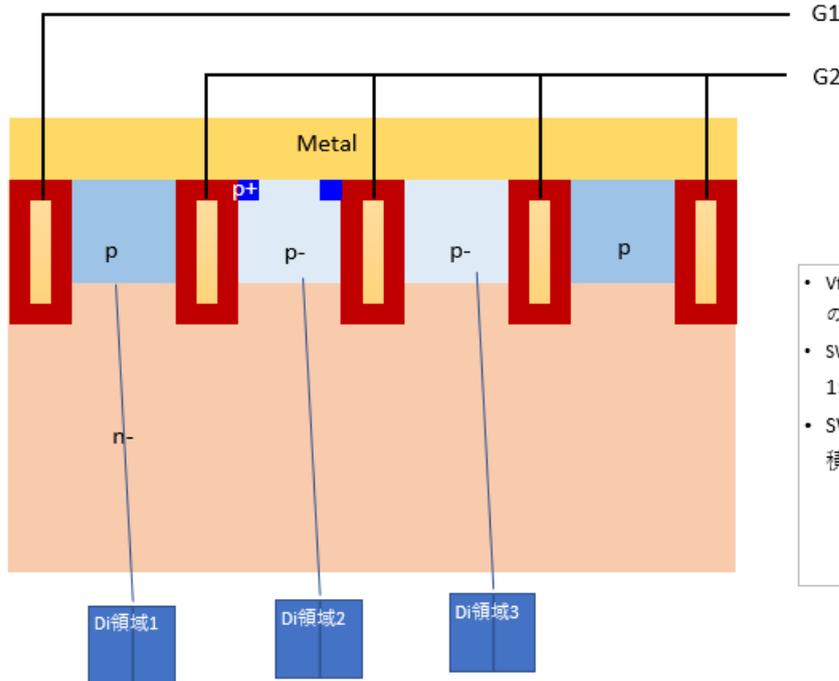


先行特許：特開 2012-064908

2. 先行特許の問題点

低 VF と低 SW 損失の両立を図る半導体装置を提供することを目的とする。

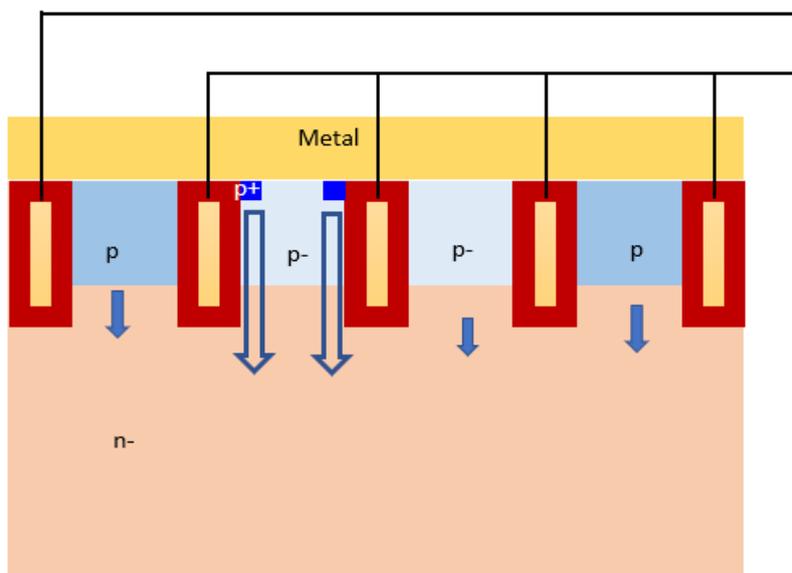
3. 発明の概要



G1 トレンチの間隔は等間隔でよい
G2 Pアノードの深さは特に変更しなくてよい。

- VF損失を優先すると、Di領域1:Di領域2:Di領域3 = 2:2:1の面積比率を基本形とする。
- SW損失を優先すると、Di領域1:Di領域2:Di領域3 = 1:1:2の面積比率を基本形とする。
- SW損失を優先するか、VF損失を優先するかで面積比率を調整できる点を特徴とする。

図6: VF直後 (di/dt増加中)



G1: マイナスバイアス
G2: マイナスバイアス

VF動作時にVG_Diをマイナスバイアス印加
⇒P+からホール供給されてVF低減
Di off直前にVG_Diをプラスバイアス印加
⇒P+からホール供給をカット
⇒SW高速化

- VF動作時はアノード層からホールが供給されてVF動作する。
- 高濃度アノード部位 (ホールが多くなまっている部分) からはマイナスバイアスに印加されたゲートトレンチ側壁に形成されたp型のアキュムレーション部分 (p-層のトレンチ側壁に電子がたまっている) が低抵抗になるので、特にこの部分から大量のホールが供給されて大電流時のVFを低減することができる。

図4: VF動作中⇒OFF直前動作時

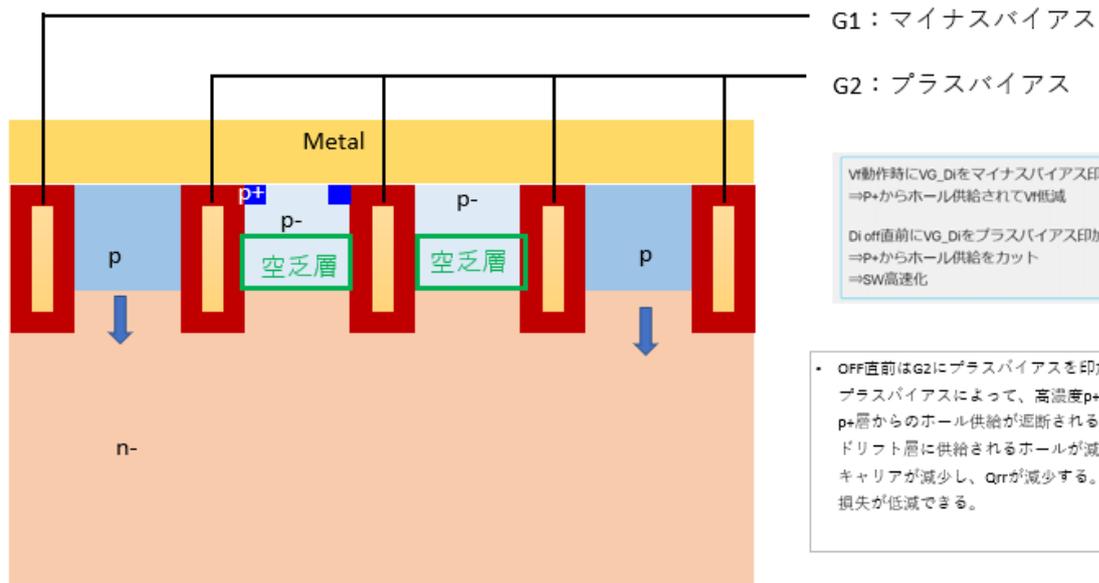


図5 : ③OFF時直後

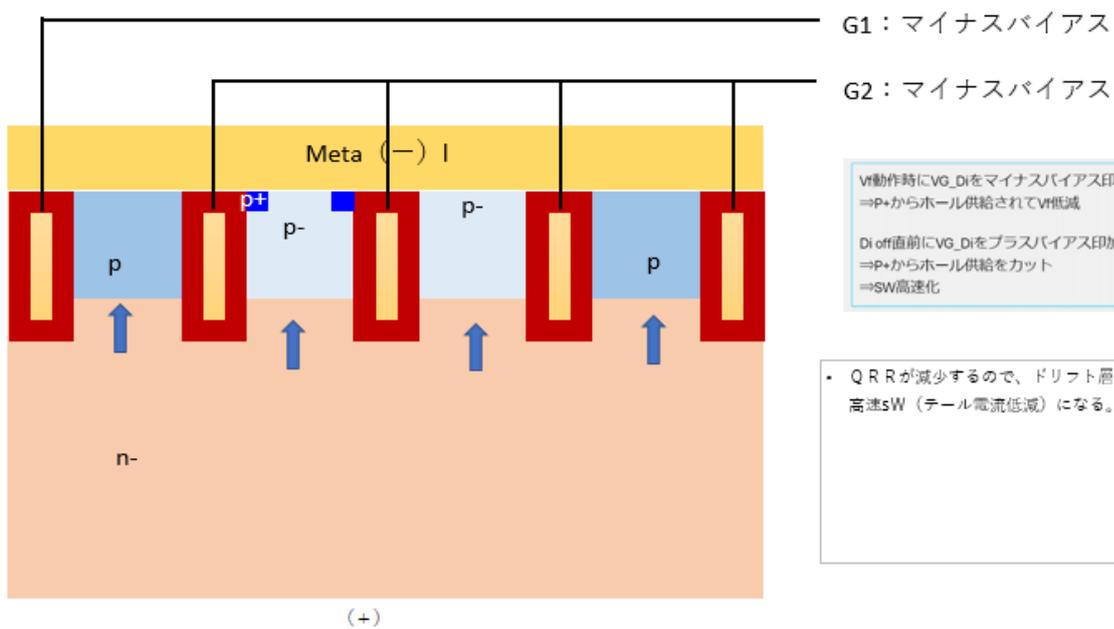
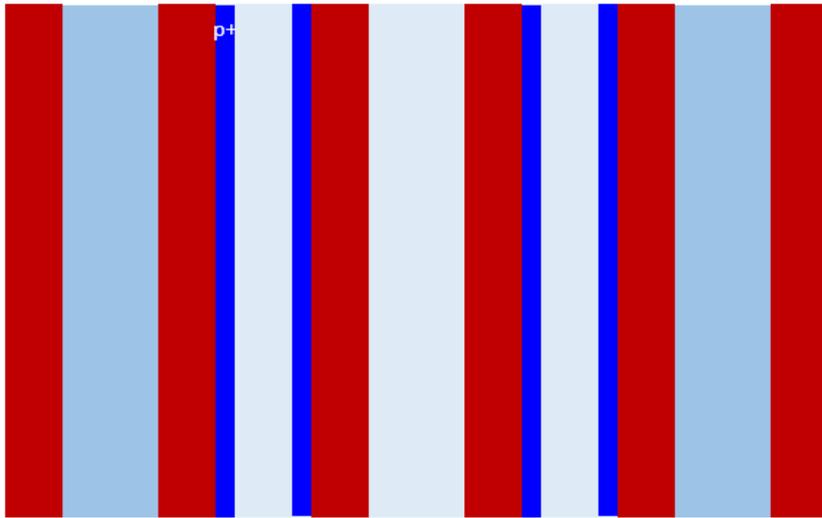


図7 : TOP view



- ・ p+層の電流密度が最も高くなるため、電流密度が低くなるp-層を扶むことで発熱を分散させることができ、熱耐量を上昇させることができる。

図7 : chip全体TOP view



- ・ 外周領域近傍にチップを包むように領域3を配置する。領域3は最も電流密度が小さいため、オンオフ切り替え時の過渡電流密度を小さくでき、発熱を抑制することができるため、チップの発熱耐量を向上させることができる。

以上